第一图书网, tushu007.com

<<VHDL数字系统设计>>

图书基本信息

书名：<<VHDL数字系统设计>>

13位ISBN编号：9787030254979

10位ISBN编号：703025497X

出版时间：2009-9

出版时间：科学出版社

作者：李欣，张海燕 著

页数：244

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：http://www.tushu007.com

前言

数字系统设计是电子信息类专业本科生的主要专业课程之一。
随着专用集成电路（ASIC）技术的发展，以通用集成电路为主的传统设计方法，已经不能适应目前的数字系统设计要求。
我们于1998年在电子信息类专业的本科生教学中开设了基于硬件描述语言VHDL的数字系统设计课程，积累了一些教学经验。
本书是在总结数字系统设计课程教学经验的基础上，参考有关文献资料和其他教材编写而成的。主要针对教学课时有限的情况下，使学生能够较快地掌握利用电子设计自动化（EDA）工具设计数字系统的方法，同时学习与数字集成电路和可编程逻辑器件（PLD）有关的基本知识。
第1章从介绍数字集成电路和可编程逻辑器件的基本知识入手，逐步介绍数字系统的设计工具和设计方法，以及与之相关的知识产权核（IPCore）和优化设计等概念，使读者对数字系统设计有一个较全面的初步了解。
第2章至第4章，将硬件描述语言VHDL作为设计手段，向学生介绍基于VHDL的数字系统设计方法，并尽力体现描述、划分、综合和验证等工作在数字系统设计中的运用，同时强调了基于寄存器的设计和可综合的寄存器传输级（RTL）编码原则。
第5章通过一个三相六拍顺序脉冲发生器的设计实例，从QuartusII集成开发环境的安装和授权文件设置开始，将一个VHDI_一描述的硬件实现过程展示给读者。
第6章展示了一些典型数字单元电路的VHDL描述实例。
在实践教学中，可以将这些实例改动后作为实验项目开设实验课，使读者将理论学习与实践动手有机结合，巩固所学知识。
第7章将VHDL标准设计库中的标准程序包（STAN.DARD）、文本输入／输出程序包（TEXTIO），和IEEEVHDL设计库中的StdJ，ogic_1164、Stdj，ogic-Arith、Std_I，ogic-LJnsigned、Stdj，ogic.一Signed等常用程序包的源代码，特别是一些包体的源代码介绍给学生，让学生学习和了解VHDI一共享机制的描述技巧。
. 建议本课程的授课时数为50～60学时，其中包括16～20学时的实验课时，即理论学时与实践学时之比约为2：1。
本书主要由李欣、张海燕编写，在本书第7章的编写过程中，得到了姚利华同学的热心帮助，在此表示衷心感谢！
另外参与编写的还有管殿柱、宋一兵、李文秋、田东、宋绮、赵景波、赵景伟、张洪信、王献红、付本国、谈世哲、张轩、刘平、张宪海、林晶、林琳、柴永生、宿晓宁、齐薇、马震、李仲等。

内容概要

《VHDL数字系统设计》是一本重点介绍硬件描述语VHDL及其数字系统设计、应用的专业图书。
全书包含5部分内容，第1章从数字集成电路和可编程逻辑器件的基本知识入手，逐步介绍数字系统的设计工具和设计方法，以及与之相关的知识产权核（IPCore）和优化设计等概念；第2章至第4章将硬件描述语言VHDL作为设计手段，介绍基于VHDL的数字系统设计方法；第5章通过一个具体实例展示了VHDL，描述的硬件实现过程；第6章展示了一些典型数字单元电路的VHDL描述实例；第7章将一些常用程序包的源代码——特别是包体的源代码介绍给读者，以便了解VHDL共享机制的描述技巧。
《VHDL数字系统设计》内容浅显，逻辑清晰，知识与实例紧密结合，适合电子信息工程、通信工程、计算机、自动化等专业师生，也可作为授课教材或者主要参考书。

<<VHDL数字系统设计>>

书籍目录

第1章 概论1.1 数字集成电路分类1.1.1 按生产工艺分类1.1.2 按生产目.的分类1.1.3 按制造方法分类1.2 可编程逻辑器件简介1.2.1 PLD的分类1.2.2 PLD的发展历程1.3 数字系统的设计工具与设计流程1.3.1 数字系统设计自动化技术的发展历程1.3.2 、数字系统的设计流程1.4 知识产权核（Core，IP Core）1.5 数字系统设计中的其他问题1.5.1 优化设计1.5.2 时钟信号与复位信号设计1.5.3 数字系统的可观察性设计1.6 本章小结1.7 习题第2章 硬件描述语言VHDL入门2.1 VHDL的由来2.2 位全加器的描述实例2.3 基本的VHDL模型结构2.3.1 设计实体2.3.2 实体声明2.3.3 结构体2.4 VHDL标识符2.4.1 基本标识符2.4.2 扩展标识符2.5 VHDL对象2.6 VHDL数据类型和子类型2.6.1 文字2.6.2 标量类型2.6.3 复合类型2.6.4 子类型2.6.5 类型转换2.7 属性2.8 运算符与聚合赋值2.8.1 算术运算符2.8.2 逻辑运算符2.8.3 关系运算符2.8.4.连接运算符2.8.5 聚合赋值2.9 本章小结2.1 0习题第3章 VHDL基本语句3.1 仿真与延迟3.1.1 仿真△机制3.1.2 延迟3.2 进程语句与WAIT语句3.2.1 进程语句3.2.2 WAIT语句3.3 顺序语句3.3.1 变量赋值语句3.3.2 信号赋值语句3.3.3多驱动源信号——决断信号3.3.4 IF语句3.3.5 CASE语句3.3.6 NULL语句3.3.7 I+OOP语句3.3.8 NEXq语句与EXIT语句3.3.9 过程调用语句与RETLJRN语句3.3.1 0断言语句与REPORT语句3.4 并行语句3.4.1 块语句3.4.2 并行信号赋值语句3.4.3 并行过程调用语句3.4.4 并行断言语句3.4.5 元件例化语句3.4.6 生成语句3.5 本章小结3.6 习题第4章 VHDL.深入4.1 子程序4.1.1 函数4.1.2 过程4.2 程序包和设计库4.2.1 程序包4.2.2 预定义程序包4.2.3 十字路口交通信号灯控制器4.3 重载4.3.1 子程序重载4.3.2 运算符重载4.4 决断信号与决断函数4.4.1 决断信号的声明4.4.2 决断函数4.5 配置4.5.1 默认连接和默认配置4.5.2 己件配置4.5.3 结构体中声明的元件配置4.5.4 块的配置4.6 本章小结4.7 习题第5章 VHDL 描述的实现5.1 EDA集成软件QuartusII5.1.1 安装QuartusII5.1.2 设置授权文件路径5.2 VHDL描述的硬件实现5.2.1 创建工程项目文件5.2.2 输入设计文件5.2.3 器件设置5.2.4 编译设计项目5.2.5 仿真设计项目5.2.6 下载编程5.3 本章小结第6章 典型电路描述实例6.1 组合逻辑电路描述实例6.1.1 BCD码——7段LED显示译码器6.1.2 4位数值比较器6.1.3 双4位缓冲器6.1.4 8位双向缓冲器6.2 触发器描述实例6.2.1 主从式J.K触发器6.2.2 D触发器6.3 时序逻辑电路描述实例6.3.1 整数分频器6.3.2 串行输入、并行输出移位寄存器6.3.3 并行输入、串行输出移位寄存器6.3.4 单脉冲发生器6.3.5 波形发生器6.3.6 HDB3编码器6.4 本章小结第7章 常用程序包7.1 STD库中的程序包7.1.1 标准程序包STANDARD7.1.2 文本输入／输出程序包TEXTIO7.2 IEEEVHDL 库中的常用程序包7.2.1 标准逻辑程序包STDLOGIC11647.2.2 标准逻辑算术程序包STDLOGICARITH7.2.3 标准逻辑无符号数组扩展程序包STDLOGICUNSIGNED7.2.4 标准逻辑带符号数组扩展程序包STDLOGICSIGNED7.3 本章小结附录A VHDL保留字附录B VHDL预定义属性B.1 类型和子类型的属性B.2 数组的属性B.3 其值为信号值的属性B.4 其值与信号有关的属性B.5 为块和设计实体声明的属性参考文献.

章节摘录

计数器和小容量存储器等逻辑器件，被制作成SSI／MSI的标准产品，其生产批量大、成本低、器件工作速度快，是数字系统在传统设计中最为常用的逻辑器件。
但由于这类器件的集成度低，由它们构成的数字系统所用的芯片数量多，系统的硬件规模大，印刷电路板面积大、走线复杂、焊点多，从而导致系统的可靠性降低、功耗增大。
另外，这类器件的功能确定，用户无法修改，系统的保密性低，而且印刷电路板制成后，修改设计也很困难。
后来出现的大规模／超大规模（LSI/NLSI）通用集成电路，例如微处理器、单片机、存储器和可编程外围电路芯片等，具有集成度高、功耗较小的优点，而且很多器件的逻辑功能可以由软件进行配置，因此在很大程度上减小了数字系统的硬件规模，系统的可靠性和灵活性也大大提高了。
但这类器件的工作速度不高，而且仍需要若干SSI／MSI标准集成电路与之配合才能构成完整的系统。
专用集成电路（ASIC）是专门为某种或几种特定功能而设计制造的，其集成度高、功耗小、工作速度快，一片ASIC能够代替一块包含若干片通用集成电路的印刷电路板，甚至一个完整的数字系统。
所以，ASIC可以大大降低设备价格，缩短研制周期，简化数字系统的生产过程，降低功耗，减少体积，减轻重量，提高设备的可靠性，同时也使得设备难以被仿制。
目前，在数字系统中，已大量采用ASIC来简化系统设计，提高数字系统的可靠性和降低成本。
1.1按制造方法分类法　　分类全定制方式（Full-CustomDesignApproach）芯片的各层掩膜都是按特定电路功能专门设计制造的，设计者综合考虑了芯片版图的布局布线等技术细节，使芯片的性能、面积、功耗和成本等指标达到最佳，从而使得设计周期变长，设计成本提高，而且风险大。
因此全定制方式只适用于设计成熟、生产批量非常大的场合。
全定制方式既适用于通用集成电路的制造，也适用于专用集成电路（ASIC）的制造。
半定制方式（Semi.CustomDesignApproach）设计者在集成电路制造厂商提供的半成品（例如通用母片、可编程逻辑器件等）的基础之上增加互连线掩膜或者设定逻辑功能，从而缩短设计周期、降低设计成本。
半定制方式适用于生产批量不大的场合。
按照不同的逻辑实现方法，半定制方式主要有门阵列法、门海法、标准单元法和可编程逻辑器件法四类。
门阵列（Gate.Array）法用大量规则排列的预制门阵列形成电路中的基本门电路，例如与非门、或非门、反相器、传输门或其他电路单元等。
在门阵列之间留有布线通道，从而构成门阵列母片。
设计者在门阵列母片上按不同的电路功能追加金属连线的掩膜，最终完成芯片的电路设计。
由于事先留下的每一布线通道的布线容量有限，如果连线过多则布通率就会下降。
虽然可以通过增加金属连线层来提高布通率，但这会降低芯片面积的利用率。

编辑推荐

简明、系统地讲NwlDL设计方法　　跳出单纯的语句、语法介绍　　适合电子信息工程、通信工程、自动化等专业　　优秀技术实训教程

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:http://www.tushu007.com