

<<电子设计自动化>>

图书基本信息

书名：<<电子设计自动化>>

13位ISBN编号：9787040266726

10位ISBN编号：7040266725

出版时间：2009-6

出版时间：杨静、游周密、沈明山 高等教育出版社 (2009-06出版)

作者：杨静，游周密，沈明山 编

页数：245

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<电子设计自动化>>

前言

随着大规模集成电路和电子计算机技术的发展,电子产品设计方法发生了根本性的变革,以电子计算机辅助分析和设计为基础的电子设计自动化(Electronic Design Automation, EDA)技术已广泛用于集成电路与数字系统的设计中。

电子设计自动化技术已成为现代电子系统设计的关键技术,是新一代电子设计工程师以及从事电子技术开发和研究人员的必备技能。

随着电子产品的集成化和复杂程度的提高,采用先进的电子器件和电子电路设计方法,可以大幅度缩短产品设计周期,并使设计产品小型化、低功耗、高速度、高性能,提高产品的竞争能力。

了解新的设计技术应当尽快掌握它的设计流程。

本教材在编写时以实践为基础,以详细的实例让初学者了解基于Quartus 和Nios IDE的可编程逻辑器件和片上系统(System On aProgrammable Chip, SOPC)开发的基本流程,目的是为了让初学者尽快了解可编程逻辑器件先进的设计方法、基本开发流程和常用设计开发手段。

本教材共七章。

第1章为CPLD / FPGA的基本知识,初学者应先了解这部分内容。

第2章以两个实例让初学者了解CPLD / FPGA基于硬件描述语言和原理图的基本开发流程,并熟悉Quartus 软件的基本使用。

第3章较详细地介绍了VHDL语法和使用实例,可用于CPLD / FPGA小规模数字系统设计开发或底层模块设计。

第4章通过实例较详细地介绍了状态机设计方法,使初学者了解较大规模数字系统的设计方法。

第5章通过实例详细介绍了Quartus 软件的LPM参数化宏模块、存储器、嵌入式锁相环、嵌入式逻辑分析仪SignalTap 等多种逻辑设计流程以及层次化设计流程,它主要适用于较大规模FPGA设计开发。

第6章通过一个实例详细介绍了Nios 嵌入式系统软、硬件设计流程,它主要适用于在大容量FPGA中嵌入微处理器数字系统的设计开发。

第7章通过3个数字系统设计实例,介绍了基于可编程逻辑器件进行数字系统设计的完整流程。

本教材由杨静、游周密编写,沈明山负责部分实例的编写和验证。

杨静负责全书的统稿。

本教材初稿由王毓银教授审阅和修改,提出了许多宝贵意见。

在此表示衷心的感谢。

由于电子设计自动化技术发展迅速,作者水平有限,本教材一定还存在不少缺点和不足之处,殷切期望读者指正。

<<电子设计自动化>>

内容概要

《电子设计自动化》以详细的实例介绍了VHDL硬件描述语言和可编程逻辑器件、Nios 嵌入式系统开发流程，可以使读者较快地了解可编程逻辑器件和Nios 嵌入式系统先进的设计方法、开发流程和开发手段。

全书共七章，主要包括CPLD / FPGA的基本知识、CPLD / FPGA基本开发流程、VHDL语法与使用实例、状态机设计方法、基于Quartus 软件的多种逻辑设计流程、Nios 嵌入式系统软 / 硬件设计流程和数字系统设计实例。

《电子设计自动化》以实践为基础，图文并茂，开发流程完整详尽，可作为高职高专院校应用电子技术、电子信息工程技术、通信、电气自动化等专业学生的学习或实训教材，亦可作为电子设计竞赛VHDL硬件描述语言与CPLD / FPGA开发赛前辅导参考资料，也可供电子类在职研究开发人员和技术人员参考。

<<电子设计自动化>>

书籍目录

第1章 可编程逻辑器件1.1 可编程逻辑器件(PLD)基本结构1.1.1 可编程逻辑器件概述1.1.2 可编程逻辑器件基本结构1.1.3 可编程逻辑器件编程技术1.2 PAL和GAL器件1.2.1 PAL器件的基本结构1.2.2 GAL器件的基本结构1.3 CPLD基本结构1.3.1 Xilinx公司XC7300系列器件结构1.3.2 Ahem公司MAX7000系列器件结构1.3.3 Ahera公司FLEX10K系列器件结构1.4 FPGA基本结构本章小结习题第2章 Quartus 软件基本设计流程2.1 可编程逻辑器件设计流程2.2 硬件描述语言逻辑设计流程2.2.1 建立新工程2.2.2 建立硬件描述语言逻辑设计源文件2.2.3 编译器选项设置2.2.4 器件引脚配置2.2.5 设计编译2.2.6 查看编译后结果2.2.7 逻辑功能仿真分析2.2.8 时序分析2.2.9 器件编程2.2.10 硬件描述语言逻辑设计流程实训题目2.3 原理图逻辑设计OQs程2.3.1 建立新工程2.3.2 创建新原理图文件2.3.3 放置元器件符号2.3.4 定义输入和输出引线2.3.5 逻辑符号之间的连接2.3.6 建立默认逻辑符号2.3.7 原理图逻辑设计流程实训题目本章小结第3章 VHDL硬件描述语言初阶3.1 VHDL基本结构3.1.1 VHDL最小结构3.1.2 VHDL基本结构3.1.3 VHDL基本语句3.2 VHDL语言数据类型及运算操作符3.2.1 VHDL数据对象3.2.2 VHDL基本数据类型3.2.3 VHDL预定义属性3.2.4 VHDL逻辑运算符3.2.5 VHDL关系运算符3.2.6 VHDL算术运算符3.2.7 VHDL并置运算符3.2.8 VHDL符号运算符3.2.9 VHDL省略赋值操作符3.2.10 VHDL并列符3.3 VHDL, 顺序处理语句3.3.1 信号代人语句3.3.2 变量赋值语句3.3.3 case语句3.3.4 if语句3.3.5 loop语句3.3.6 next语句3.3.7 exit语句3.3.8 wait语句3.3.9 null语句3.4 VHDL并行处理语句3.4.1 进程(process)语句3.4.2 并发信号代人语句3.4.3 条件信号代人语句3.4.4 选择信号代人语句3.4.5 块(block)语句3.4.6 元件声明 / 元件例化(component)语句3.4.7 生成(generate)语句3.5 VHDL库和程序包3.5.1 VHDL库3.5.2 VHDL程序包3.6 VHDL子程序3.6.1 函数语句3.6.2 过程语句3.7 组合逻辑电路设计示例3.7.1 逻辑门电路设计示例3.7.2 编码器设计示例3.7.3 译码器设计示例3.7.4 数据选择器设计示例3.7.5 运算器设计示例3.7.6 奇偶校验电路设计示例3.8 时序逻辑电路设计示例3.8.1 基本触发器示例3.8.2 寄存器示例3.8.3 计数器示例3.8.4 序列信号发生器示例本章小结习题第4章 硬件描述语言逻辑设计进阶4.1 状态机设计4.1.1 Moore型状态机设计方法4.1.2 Mealy型状态机设计方法4.1.3 MDS图设计方法4.1.4 &SM图设计方法4.2 硬件描述语言层次化设计4.2.1 “自上而下”层次化设计概述4.2.2 VHDL层次化设计方法本章小结习题第5章 Quartus 软件混合设计流程5.1 LPM参数化宏模块逻辑设计流程5.1.1 建立新工程5.1.2 创建加法器宏模块符号5.1.3 创建减法器宏模块符号5.1.4 创建乘法器宏模块符号5.1.5 创建除法器宏模块符号5.1.6 创建数据选择器宏模块符号5.1.7 顶层逻辑设计5.1.8 LPM参数化宏模块逻辑设计流程实训题目5.2 层次化设计流程5.2.1 建立新工程5.2.2 创建4位加法器模块符号5.2.3 创建4位减法器模块符号5.2.4 创建2选1数据选择器模块符号5.2.5 创建七段显示译码器模块符号5.2.6 顶层逻辑设计5.2.7 层次逻辑设计浏览5.2.8 层次化设计流程实训题目5.3 存储器逻辑设计流程5.3.1 建立新工程5.3.2 创建存储器初始化文件5.3.3 创建存储器模块符号5.3.4 创建正弦波信号发生器原理图5.3.5 正弦波信号发生器逻辑功能仿真5.3.6 使用嵌入式逻辑分析仪SignalTap 5.3.7 使用在系统嵌入式寄存器数据编辑器5.3.8 移出嵌入式逻辑分析仪SignalTap 5.3.9 存储器逻辑设计流程实训题目5.4 嵌入式锁相环PLL模块设计流程5.4.1 建立新工程5.4.2 创建锁相环PLL模块5.4.3 锁相环分频输出时序仿真5.4.4 嵌入式锁相环PLL模块设计流程实训题目本章小结第6章 ios 嵌入式系统软硬件设计流程6.1 型Nios 嵌入式系统开发流程6.2 生成可调试的Nios 系统6.3 生成Nios 系统顶层原理图6.4 Nios 系统下载6.5 Nios 系统软件编写6.6 Nios 系统软件调试6.7 Nios 嵌入式系统开发流程实训题目本章小结第7章 数字系统设计实训7.1 数字系统设计实训 7.1.1 数字钟系统总体设计7.1.2 数字钟系统底层模块设计流程7.1.3 数字钟系统中层模块设计流程7.1.4 数字钟系统顶层模块设计流程7.1.5 数字钟系统顶层模块层次结构与设计下载验证7.1.6 数字钟实训题目7.2 数字系统设计实训7.2.1 可调低频正弦波信号发生器总体设计7.2.2 可调低频正弦波信号发生器底层模块设计流程7.2.3 可调低频正弦波信号发生器顶层模块设计流程7.2.4 可调低频正弦波信号发生器设计验证7.2.5 可调低频正弦波信号发生器设计实训题目7.3 数字系统设计实训7.3.1 Nios 嵌入式软核基本硬件环境的建立7.3.2 Nios 嵌入式系统软件开发本章小结参考书目

<<电子设计自动化>>

章节摘录

插图：用于传统数字系统设计的基本器件主要为标准逻辑器件，如TTL74，系列和CMOS4000系列等。标准逻辑器件的主要缺点是逻辑规模小、功耗大、可靠性低。

设计一个数字系统往往要用多片标准器件，因此数字系统布局布线复杂，占用的印制电路板面积较大。

20世纪70年代，世界各半导体厂家竞相开发了专用集成电路（Application Specific Integrated Circuit，ASIC）产品。

ASIC可分为全定制、半定制和可编程逻辑器件（Programmable Logic Device，PLD）三大类。

其中，半定制、全定制ASIC产品的开发需要半导体厂家参与，设计周期长，开发费用高。

而PLD的设计开发不需要半导体厂家的参与，适用于一般设计者使用，是集成电路中发展最快的器件之一。

PLD器件与标准逻辑器件相比，其主要特点是：（1）逻辑规模大。

PLD器件已进入大规模和超大规模集成电路时代。

一片PLD器件的规模可达几十万甚至上百万逻辑门。

用一片：PLD器件就可实现一个数字系统，使电子产品体积小、功耗低、可靠性高。

（2）硬件的软设计。

采用PLD器件设计数字系统的主要工作是利用计算机及PLD开发软件进行逻辑设计、功能仿真，可大大降低系统设计成本。

此外，还可利用优化元件库或专用模块库进行设计，提高设计效率，缩短设计周期。

（3）在采用PLD器件设计逻辑电路时，设计者需要利用PLD器件开发软件和硬件。

PLD器件开发软件根据设计要求，可自动进行逻辑电路设计输入、编译、逻辑划分、优化和模拟，得到一个满足设计要求的PLD编程数据。

逻辑功能模拟通过后，还需将PLD编程数据下载到PLD器件中，使PLD器件具有设计所要求的逻辑功能。

<<电子设计自动化>>

编辑推荐

《电子设计自动化》由高等教育出版社出版。

<<电子设计自动化>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>