第一图书网, tushu007.com

<<面向CPLD/FPGA的Verilog设>>

图书基本信息

书名：<<面向CPLD/FPGA的Verilog设计>>

13位ISBN编号：9787111210573

10位ISBN编号：7111210573

出版时间：2007-4

出版时间：机械工业出版社

作者：王冠

页数：372

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：http://www.tushu007.com

内容概要

本书从实际设计的角度出发，翔实地介绍了面向CPLD／FPGA的Verilog设计，使读者从可编程逻辑器件及硬件描述语言设计两个方面来掌握实际设计中的方法和技巧。

本书分为器件篇、语言篇、软件篇和实战篇来介绍相应的知识体系。器件篇着重介绍了Altera公司的CYCKONE II系列FPGA的结构，以及如何使用FPGA器件内部的各种资源；语言篇详细讲解了Verilog HDL的相关内容；软件篇介绍了一款强大的仿真工具ModelSim和Altera公司的集成开发环境Quartus II 6.0；实战篇再现了一个数字系统的设计过程，旨在抛砖引玉，让初学者能够快速上手。

本书主要供从事CPLD/FPGA设计的工程技术人员自学或参考，也可作为高等院校电子、通信、计算机等相关专业高年级本科生和研究生的参考用书。

书籍目录

丛书序前言第1章　概述　1.1　可编程器件的定位　1.2　可编程器件简介　1.3　硬件描述语言简介器件篇　第2章　可编程逻辑器件概述　2.1　可编程陈列逻辑　2.2　通用阵列逻辑　2.3　CPLD和FPGA　第3章　CYCLONE Ⅱ系列FPGA　3.1　概述　3.2　CYCLONE Ⅱ系列器件的结构　3.3　FPGA芯片的配置　3.4　小结　第4章　使用FPGA的内部资源　4.1　锁相环　4.2　随机访问存储器语言篇　第5章　初识Verilog HDL　5.1　Verilog HDL的背景和历史　5.2　Verilog HDL概述　5.3　小结　第6章　Verilog HDL的语法　6.1　词法约定　6.2　数据类型　6.3　赋值语句　6.4　条件结构　6.5　循环结构　6.6　任务和函数　6.7　预编译指令　6.8　系统任务和函数　6.9　逻辑验证　6.10　小结　第7章　组合逻辑电路　第8章　时序逻辑电路　第9章　有限状态机软件篇　第10章　ModelSim简介　第11章　Quartus Ⅱ简介　第12章　设计实例——典型的数字系统参考文献

章节摘录

插图

第一图书网, tushu007.com

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:http://www.tushu007.com