

<<集成电路设计CAD/EDA工具实用>>

图书基本信息

书名：<<集成电路设计CAD/EDA工具实用教程>>

13位ISBN编号：9787111318194

10位ISBN编号：7111318196

出版时间：2010-9

出版时间：韩雁、韩晓霞、丁扣宝 机械工业出版社 (2010-09出版)

作者：韩雁 等著

页数：347

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## 前言

集成电路是电子工业的基础。

以集成电路为基础的电子信息产业的发展，对国民经济发展、产业技术创新能力的提高及现代国防建设都具有极其重要的作用，而集成电路设计业则是集成电路产业链的核心。

随着集成电路技术的发展，集成电路设计的手段也经历了从手工设计到计算机辅助设计（CAD）、计算机辅助制造（CAM）、计算机辅助测试（CAT）和计算机辅助工程（CAE），在20世纪90年代开始逐步发展到电子设计自动化（Electronics Design Automation, EDA）阶段。

CAD / EDA工具已经成为当今集成电路设计和制造流程中的必不可少的部分。

技术进步伴随着设计复杂性的提高，导致了CAD / EDA工具的功能也越来越复杂，对集成电路设计工程师和科研人员提出了更高的要求：不但要有足够的数学、物理、器件、电路、工艺方面的知识，还要投入相当的精力学习、熟悉CAD / EDA工具和系统的使用。

不同CAD / EDA工具提供的手册因其系统的复杂性以及不是用母语编写，会给没有相应经验指导的初学者带来很大问题。

市面上已经出版的CAD / EDA书籍大多是关于电子系统级应用或者是针对超大规模集成电路的设计方法学，而针对模拟集成电路设计、数模混合集成电路设计和生产制造相关的CAD / EDA工具的指导却很少。

基于这个原因，编著者结合多年的集成电路设计和CAD / EDA工具使用经验，编写了本书，辅以不同的设计实例和流程来介绍相应的典型CAD / EDA工具的使用。

本书分为两个部分，共12章。

第一部分以不同的设计实例为基础，介绍了模拟集成电路设计工具的应用，以Cadence设计流程中的工具为主，同时也介绍了业界常用的Synopsys公司的.Hspice电路仿真工具和Mentor Graphics公司的Calibre版图验证工具以及SpfingSo公司的Laker版图绘制软件的使用。

第二部分为数字集成电路设计工具的使用教程，分别介绍了使用Matlab进行系统级验证、使用：ModelSim和NC. Verilog进行HDI。

描述和仿真、使用XilinxISE进行FPGA硬件验证设计、使用Design Compiler进行逻辑综合以及使用Astro进行布局布线设计过程，最后介绍了数字IC设计的验证方法学及可测性设计的基本概念和流程。

本书出版前的讲义多年来一直作为浙江大学微电子及相关专业“集成电路课程设计”课程的教材，并且不断积累、更新。

在写作方式上，一是从应用的角度引导读者学习、掌握软件的使用；二是选取了典型的工具，每部分的主体设计流程均经过了流片和测试验证，所选的例子也都是取自实际的科研和教学项目，具有一定的代表性和实用性。

本书可以作为微电子及相关专业的高年级本科生和研究生的集成电路设计课程的教材，也可供集成电路领域科研人员和工程师参考。

## <<集成电路设计CAD/EDA工具实用>>

### 内容概要

本书基于IC设计实例，系统全面地介绍了模拟集成电路设计和数字集成电路设计所需CAD/EDA工具的基础知识和使用方法。

模拟集成电路设计以Cadence工具为主，同时也介绍了业界常用的Hspice电路仿真工具、Calibre版图验证工具以及Laker版图绘制软件等的使用。

数字集成电路设计则介绍了从使用Matlab进行系统级建模、使用ModelSim和NC-Verilog进行仿真、使用Xilinx ISE进行FPGA硬件验证、使用Design Compiler进行逻辑综合直至使用Astro进行布局布线的完整设计过程，以及数字IC设计的验证方法学及可测性设计的基本概念和流程。

本书可作为微电子及相关专业的高年级本科生和研究生的集成电路设计课程的教材，也可供集成电路领域科研人员和工程师参考。

## 书籍目录

前言  
第一部分 模拟集成电路设计工具及使用  
第1章 典型电路仿真工具软件  
1.1 Cadence电路仿真工具包  
1.1.1 设计环境简介  
1.1.2 电路图输入工具Virtuoso Schematic Composer  
1.1.3 仿真环境工具Analog Design Environment  
1.1.4 仿真结果的显示及处理  
1.1.5 建立子模块  
1.1.6 设计实例——D触发器  
1.2 Hspice电路仿真工具  
1.2.1 Hspice简介  
1.2.2 \*.sp文件的生成  
1.2.3 运行与仿真  
1.3 Ultra Sim仿真技术  
1.3.1 Ultra Sim简介  
1.3.2 仿真环境设置  
1.4 芯片封装的建模与带封装信息的仿真  
1.4.1 射频IC封装简介  
1.4.2 PKG软件的具体使用  
第2章 模拟集成电路设计及仿真实例  
2.1 电压基准源设计及仿真  
2.1.1 电压基准源简介  
2.1.2 电压基准源分类  
2.1.3 实现带隙基准源的原理  
2.1.4 基准源启动电路  
2.1.5 基准源噪声  
2.1.6 基准源输出驱动  
2.1.7 基准源计算机仿真  
2.1.8 基准源的版图设计  
2.2 CMOS集成电路噪声分析及仿真  
2.2.1 噪声类型  
2.2.2 噪声分析方法  
2.2.3 连续时间系统的噪声仿真  
2.3 开关电容电路仿真  
2.3.1 开关电容电路简介  
2.3.2 开关电容电路的精度  
2.3.3 使用双相无交叠时钟的开关电容电路的分析方法  
2.3.4 开关电容电路的Cadence仿真方法  
2.3.5 开关电容电路频率响应仿真  
2.3.6 开关电容电路的噪声仿真  
第3章 版图绘制及其工具软件  
3.1 典型CMOS工艺流程简介  
3.2 设计规则简介  
3.3 Virtuoso软件简介及使用  
3.3.1 Virtuoso软件启用  
3.3.2 Virtuoso快捷键的使用  
3.3.3 设计实例——反相器版图绘制  
3.3.4 PDK简介  
3.4 Laker软件简介及使用  
3.4.1 Laker使用时需要的文件  
3.4.2 Laker软件启用及主窗口  
3.4.3 Laker基本版图编辑功能  
3.4.4 Laker特有高级版图编辑功能  
3.4.5 原理图驱动的版图编辑  
3.4.6 设计实例——设计规则驱动的版图设计  
3.4.7 设计实例——利用Mcell完成一个二输入与非门的版图设计  
3.5 版图设计中的相关主题  
3.5.1 天线效应  
3.5.2 Dummy的设计  
3.5.3 GuardRing的设计  
3.5.4 Match的设计  
第4章 版图验证与后仿真  
4.1 版图验证与后仿真简介  
4.2 Diva验证工具  
4.2.1 DivaDRC规则文件  
4.2.2 Diva版图提取文件  
4.2.3 LVS文件的介绍  
4.2.4 寄生参数提取文件  
4.2.5 设计实例——非门的版图验证  
4.3 Calibre验证工具  
4.3.1 Calibre规则文件  
4.3.2 Calibre使用方法  
4.3.3 数模混合电路LVS的操作方法  
第5章 设计所需规则文件的详细说明  
5.1 完整的DivaDRCExtract LVS规则文件  
5.1.1 DivaDRC规则文件  
5.1.2 DivaExtract规则文件  
5.1.3 DivaLVS规则文件  
5.2 Diva层次处理语句的图文解释  
5.2.1 逻辑命令  
5.2.2 关系命令  
5.2.3 选择命令  
5.2.4 尺寸命令  
5.2.5 层生成命令  
5.2.6 存储命令  
5.3 Diva中DRC和寄生参数提取语句  
5.3.1 DivaDRC语句  
5.3.2 Diva寄生参数提取语句  
第二部分 数字集成电路设计工具及使用  
第6章 系统级建模与数模混合仿真  
6.1 Matlab简介  
6.2 Matlab的Toolboxes  
6.2.1 数字信号处理  
6.2.2 滤波器设计  
6.2.3 LinkForModelSim  
6.3 Matlab的编程  
6.4 Simulink仿真基础  
6.4.1 Simulink简介  
6.4.2 Simulink的模块  
6.4.3 Simulink仿真参数的设定  
6.4.4 设计实例——Simulink操作与几个常用数字系统模型的仿真  
6.5 Verilog-A简介  
6.6 Verilog-A编程  
6.6.1 基本语法  
6.6.2 基本表达式  
6.6.3 模拟运算符  
6.6.4 Verilog-A仿真  
6.7 Verilog-A建模实例  
6.7.1 反相器  
6.7.2 利用Cadence中的向导产生模拟模块  
6.8 Spectre-verilog混合信号仿真  
6.8.1 Spectre-verilog仿真简介  
6.8.2 创建模拟模块  
6.8.3 创建数字模块  
6.8.4 设置仿真配置文件  
6.8.5 设置和检查模块划分  
6.8.6 设置数模接口  
6.8.7 设置仿真菜单及仿真结果  
第7章 数字电路设计与Verilog  
7.1 HDL设计方法学  
7.1.1 数字电路设计方法  
7.1.2 硬件描述语言  
7.1.3 设计方法学简介  
7.1.4 VerilogHDL简介  
7.2 verilogHDL建模  
7.2.1 模块  
7.2.2 时延  
7.2.3 三种建模方式  
7.3 VerilogHDL基本语法  
7.3.1 标识符  
7.3.2 注释  
7.3.3 格式  
7.3.4 数字值集合  
7.3.5 数据类型  
7.3.6 运算符和表达式  
7.3.7 条件语句  
7.3.8 case语句  
7.4 结构建模  
7.4.1 模块定义  
7.4.2 模块端口  
7.4.3 实例化语句  
7.5 数据流建模  
7.5.1 连续赋值语句  
7.5.2 阻塞赋值语句  
7.5.3 非阻塞赋值语句  
7.5.4 设计实例——频率计数器  
7.6 行为建模  
7.6.1 行为建模简介  
7.6.2 顺序语句块

章节摘录

插图：12.1.1测试对芯片、电路板、系统，有相同的测试定义：测试是向一个处于已知状态的对象施加确定的输入激励，并测量其确定的输出。

将输出的响应与一个“理想”的期待响应进行比较，进而判断被测对象是否存在故障。

一般来说，一个合格的芯片在制造过程中要经过两次测试：一次是所谓的晶圆片测试，就是将制造好的晶圆片进行严格的测试，然后进行划片、封装，实际上只有那些通过测试的裸片才会进行封装，而未通过测试的裸片则直接淘汰；第二次测试为封装好的产品测试，就是通过封装的芯片仍然需要进一步测试，以确认没有封装引起的故障，才能成为真正的产品。

测试所要检查的不是设计的功能错误，而是芯片在生产过程中引入的电路结构上的制造缺陷。

而产品在设计阶段的设计验证，检查的是电路的设计是否能完成指定的功能和达到要求的性能。

12.1.2可测性设计可测性设计（Design for Test, DFT）是通过控制和观察电路中的信号，确定电路是否正常工作过程。

可测性设计技术的目的就是试图增加电路节点的可控制性和可观察性，从而增加测试覆盖率，并减少测试单位产品所需的时间。

编辑推荐

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>