

<<Altera FPGA/CPLD设计>>

图书基本信息

书名：<<Altera FPGA/CPLD设计>>

13位ISBN编号：9787115246660

10位ISBN编号：7115246661

出版时间：2011-2

出版时间：人民邮电出版社

作者：EDA先锋工作室,吴继华,蔡海宁,王诚 编著

页数：330

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Altera FPGA/CPLD设计>>

内容概要

本书结合作者多年工作经验，深入地讨论了Altera FPGA/CPLD的设计和 optimization 技巧。在讨论FPGA/CPLD设计指导原则的基础上，介绍了Altera器件的高级应用；引领读者学习逻辑锁定设计工具，详细讨论了时序约束与静态时序分析方法；结合实例讨论如何进行设计优化，介绍了Altera的可编程器件的高级设计工具与系统级设计技巧。

本书附带光盘中收录了Altera Quartus II Web版软件，读者可以安装使用，同时还收录了本书所有实例的完整工程、源代码和使用说明文件，便于读者边学边练，提高实际应用能力。

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体等专业的教材，也可作为硬件工程师和IC工程师的实用工具书。

<<Altera FPGA/CPLD设计>>

书籍目录

第1章 可编程逻辑设计指导原则 1.1 可编程逻辑基本设计原则 1.1.1 面积和速度的平衡与互换原则 1.1.2 硬件原则 1.1.3 系统原则 1.1.4 同步设计原则 1.2 可编程逻辑常用设计思想与技巧 1.2.1 乒乓操作 1.2.2 串并转换 1.2.3 流水线操作 1.2.4 异步时钟域数据同步 1.3 altera推荐的coding style 1.3.1 coding style的含义 1.3.2 结构层次化编码(hierarchical coding) 1.3.3 模块划分的技巧(design partitioning) 1.3.4 组合逻辑的注意事项 1.3.5 时钟设计的注意事项 1.3.6 全局异步复位资源 1.3.7 判断比较语句case和if...else的优先级 1.3.8 使用pipelining技术优化时序 1.3.9 模块复用与resource sharing 1.3.10 逻辑复制 1.3.11 香农扩展运算 1.3.12 信号敏感表 1.3.13 状态机设计的一般原则 1.3.14 altera megafunction资源的使用 1.3.15 三态信号的设计 1.3.16 加法树的设计 1.4 小结 1.5 问题与思考 第2章 altera器件高级特性与应用 2.1 时钟管理 2.1.1 时序问题 2.1.2 锁相环应用 2.2 片内存储器 2.2.1 ram的普通用法 2.2.2 ram用做移位寄存器 2.2.3 ram实现固定系数乘法 2.3 数字信号处理 2.3.1 dsp块资源 2.3.2 工具支持 2.3.3 典型应用 2.4 片外高速存储器 2.4.1 存储器简介 2.4.2 zbt sram接口设计 2.4.3 ddr sdram接口设计 2.4.4 qdr sram接口设计 2.4.5 ddr3、qdr ii+和rldram ii+ 2.4.6 软件支持和应用实例 2.5 高速差分接口和dpa 2.5.1 高速差分接口的需求 2.5.2 器件的专用资源 2.5.3 动态相位调整电路(dpa) 2.5.4 软件支持和应用实例 2.6 高速串行收发器 2.7 小结 2.8 问题与思考 第3章 logiclock设计方法 3.1 logiclock设计方法简介 3.1.1 logiclock设计方法的目标 3.1.2 logiclock设计流程 3.1.3 logiclock设计方法支持的器件族 3.2 logiclock区域 3.2.1 region的类型与常用属性值 3.2.2 region的创建方法 3.2.3 region的层次结构 3.2.4 指定region的逻辑内容 3.3 logiclock的约束注意事项 3.3.1 约束优先级 3.3.2 规划logiclock区域 3.3.3 向logiclock区域中布置器件特性 3.3.4 虚拟引脚(virtual pins) 3.4 反标注布线信息 3.4.1 导出反标注布线信息 3.4.2 导入反标注布线信息 3.5 logiclock设计方法支持的tcl scripts 3.6 quartus ii基于模块化的设计流程 3.7 小结 3.8 问题与思考 第4章 时序约束与时序分析 4.1 时序约束与时序分析基础 4.1.1 周期与最高频率 4.1.2 利用quartus ii工具分析设计 4.1.3 时钟建立时间 4.1.4 时钟保持时间 4.1.5 时钟输出延时 4.1.6 引脚到引脚的延迟 4.1.7 slack 4.1.8 时钟偏斜 4.1.9 quartus ii时序分析工具和优化向导 4.2 设置时序约束的常用方法 4.2.1 指定全局时序约束 4.2.2 指定个别时钟约束 4.3 高级时序分析 4.3.1 时钟偏斜 4.3.2 多时钟域 4.3.3 多周期约束 4.3.4 伪路径 4.3.5 修正保持时间违例 4.3.6 异步时钟域时序分析 4.4 最小化时序分析 4.5 使用tcl工具进行高级时序分析 4.6 timequest简介 4.7 小结 4.8 问题与思考 第5章 设计优化 5.1 解读设计 5.1.1 内部时钟域 5.1.2 多周期路径和伪路径 5.1.3 i/o接口的时序要求 5.1.4 平衡资源的使用 5.2 设计优化的基本流程和首次编译 5.2.1 设计优化基本流程 5.2.2 首次编译的约束和设置 5.2.3 查看编译报告 5.3 资源利用优化 5.3.1 设计代码优化 5.3.2 资源重新分配 5.3.3 解决互连资源紧张的问题 5.3.4 逻辑综合面积优化 5.3.5 网表面积优化 5.3.6 寄存器打包 5.3.7 quartus ii中的资源优化顾问 5.4 i/o时序优化 5.4.1 执行时序驱动的编译 5.4.2 使用ioe中的触发器 5.4.3 可编程输入/输出延时 5.4.4 使用锁相环对时钟移相 5.4.5 其他i/o时序优化方法 5.5 最高时钟频率优化 5.5.1 设计代码优化 5.5.2 逻辑综合速度优化 5.5.3 布局布线器设置 5.5.4 网表优化和物理综合 5.5.5 使用logiclock对局部进行优化 5.5.6 位置约束、手动布局和反标注 5.5.7 quartus ii中的时序优化顾问 5.6 使用dse工具优化设计 5.6.1 为什么需要dse 5.6.2 什么是dse, 如何使用 5.7 如何减少编译时间 5.8 设计优化实例 5.9 小结 5.10 问题与思考 第6章 altera其他高级工具 6.1 命令行与tcl脚本 6.1.1 命令行脚本 6.1.2 tcl脚本 6.1.3 使用命令行和tcl脚本 6.2 hardcopy流程 6.2.1 结构化asic 6.2.2 hardcopy器件 6.2.3 hardcopy设计流程 6.3 基于nios ii处理器的嵌入式系统设计 6.3.1 nios ii处理器系统 6.3.2 avalon交换结构 6.3.3 使用sopc builder构建系统硬件 6.3.4 nios ii ide集成开发环境 6.3.5 nios ii系统典型应用 6.4 dsp builder工具 6.4.1 dsp builder设计流程 6.4.2 与sopc builder一起构建系统 6.5 小结 6.6 问题与思考 第7章 fpga系统级设计技术 7.1 信号完整性及常用i/o电平标准 7.1.1 信号完整性 7.1.2 单端标准 7.1.3 差分标准 7.1.4 伪差分标准 7.1.5 片上终端电阻 7.2 电源完整性设计 7.2.1 电源完整性 7.2.2 同步翻转噪声 7.2.3 非理想回路 7.2.4 低阻抗电源分配系统 7.3 功耗分析和热设计 7.3.1 功耗的挑战 7.3.2 fpga的功耗 7.3.3 热设计 7.4 serdes与高速系统设计 7.4.1 serdes的基本概念 7.4.2 altera stratix ivgx中serdes的基本结构 7.4.3 典型高速系统应用框图举例 7.4.4 高速pcb设计注意事项 7.5 小结 7.6 问题与思考

<<Altera FPGA/CPLD设计>>

章节摘录

版权页：插图：本章旨在探讨可编程逻辑设计的一些基本规律。

FPGA / CPLD的设计规律与方法是一个非常大的课题，在此不可能面面俱到，希望通过本章提纲挈领的粗浅介绍，引起读者的注意。

如果大家能在日后的工作实践中不断积累，有意识地用FPGA / CPLD的基本设计原则、设计思想作为指导，将取得事半功倍的效果。

本章主要内容如下。

- 可编程逻辑基本设计原则。
- 可编程逻辑常用设计思想与技巧。
- Altera推荐的Coding Style。

1.1 可编程逻辑基本设计原则 可编程逻辑设计有许多内在规律可循，总结并掌握这些规律对于较深刻地理解可编程逻辑设计技术非常重要。

本章从FPGA / CPLD的基本概念出发，总结出4个基本设计原则，这些指导原则范畴非常广，希望读者不仅仅是学习它们，更重要的是理解它们，并在今后的工作实践中充实、完善它们。

(1) 面积和速度的平衡与互换原则。

提出了FPGA / CPLD设计的两个基本目标，并探讨了这两个目标的对立统一的矛盾关系。

(2) 硬件原则。

重点在于提醒读者转化软件设计的思路，理解HDL语言设计的本质。

(3) 系统原则。

希望读者能够通过从全局、整体上把握设计，从而提高设计质量，优化设计效果。

(4) 同步设计原则。

设计时序稳定的基本要求，也是高速PLD设计的通用法则。

<<Altera FPGA/CPLD设计>>

编辑推荐

《Altera FPGA/CPLD设计(高级篇)(第2版)》：Altera公司推荐FPGA/CPLD培训教材。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>