

<<Altera FPGA/CPLD设计>>

图书基本信息

书名：<<Altera FPGA/CPLD设计>>

13位ISBN编号：9787115246707

10位ISBN编号：711524670X

出版时间：2011-2

出版时间：人民邮电

作者：王诚//蔡海宁//吴继华

页数：280

字数：446000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Altera FPGA/CPLD设计>>

内容概要

本书结合作者多年工作经验，系统地介绍了FPGA/CPLD的基本设计方法。在介绍FPGA/CPLD概念的基础上，介绍了Altera主流FPGA/CPLD的结构与特点，并通过丰富的实例讲解Quartus II与ModelSim、Synplify Pro等常用EDA工具的开发流程。

本书附带光盘中收录了Altera Quartus II Web版软件，读者可以安装使用，同时还收录了本书所有实例的完整工程文件、源代码和使用说明文件，便于读者边学边练，提高实际应用能力。

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体等专业的教材，也可作为硬件工程师和IC工程师的实用工具书。

<<Altera FPGA/CPLD设计>>

作者简介

EDA先锋工作室

EDA先锋工作室是与人民邮电出版社紧密合作的一支电子设计领域专业书籍创作队伍。该工作室的成员都是国内外著名电子、通信、半导体行业的资深研发人员、技术支持、市场销售、信息咨询和管理人员。

本工作室的宗旨为：联合国内外EDA设计人才，培养EDA

<<Altera FPGA/CPLD设计>>

书籍目录

目 录

第1章	FPGA/CPLD简介	1
1.1	可编程逻辑设计技术简介	1
1.1.1	可编程逻辑器件发展简史	1
1.1.2	可编程逻辑器件分类	2
1.2	FPGA/CPLD的基本结构	3
1.2.1	FPGA的基本结构	3
1.2.2	CPLD的基本结构	7
1.2.3	FPGA和CPLD的比较	9
1.3	FPGA/CPLD的设计流程	10
1.4	FPGA/CPLD的常用开发工具	14
1.5	下一代可编程逻辑设计技术展望	18
1.5.1	下一代可编程逻辑器件硬件上的四大发展趋势	18
1.5.2	下一代EDA软件设计方法发展趋势	24
1.6	小结	27
1.7	问题与思考	28
第2章	Altera FPGA/CPLD的结构	29
2.1	Altera高密度FPGA	29
2.1.1	主流高端FPGA——Stratix IV E/GX/GT	29
2.1.2	内嵌10Gbit/s高速串行收发器的FPGA——Stratix IV GT	50
2.1.3	内嵌高速串行收发器的中端FPGA——Arria II GX	54
2.2	Altera低成本FPGA	54
2.3	Altera的CPLD器件	60
2.4	小结	63
2.5	问题与思考	63
第3章	Altera Quartus II开发流程	64
3.1	Quartus II软件综述	64
3.1.1	Quartus II软件的特点及支持的器件	64
3.1.2	Quartus II软件的工具及功能简介	65
3.1.3	Quartus II软件的用户界面	67
3.2	设计输入	70
3.2.1	设计输入方式	72
3.2.2	设计规划	73
3.2.3	设计输入文件实例	74
3.2.4	设计约束	75
3.3	综合	80
3.3.1	使用Quartus II软件集成综合	80
3.3.2	控制综合	81
3.3.3	综合实例	85
3.3.4	第三方综合工具	87
3.4	布局布线	87
3.4.1	设置布局布线参数	87
3.4.2	布局布线实例	91
3.4.3	增量布局布线	92
3.4.4	反标保留分配	92

<<Altera FPGA/CPLD设计>>

3.5	仿真	93
3.5.1	指定仿真器设置	94
3.5.2	建立矢量源文件	95
3.5.3	仿真实例	98
3.5.4	第三方仿真工具	101
3.6	编程与配置	101
3.6.1	建立编程文件	101
3.6.2	器件编程和配置	103
3.7	小结	105
3.8	问题与思考	105
第4章	Altera的IP工具	106
4.1	IP的概念和Altera的IP	106
4.1.1	IP的概念	106
4.1.2	Altera可提供的IP	107
4.1.3	Altera IP在设计中的作用	109
4.2	使用Altera的基本宏功能	110
4.2.1	定制基本宏功能	111
4.2.2	实现基本宏功能	115
4.2.3	设计实例	118
4.3	使用Altera的IP核	121
4.3.1	定制IP核	121
4.3.2	实现IP核	125
4.3.3	设计实例	126
4.4	小结	127
4.5	问题与思考	127
第5章	Quartus II的常用辅助设计工具	128
5.1	I/O分配验证	128
5.1.1	I/O分配验证功能简介	129
5.1.2	I/O分配验证流程	129
5.1.3	用于I/O分配验证的输入	132
5.1.4	运行I/O分配验证	133
5.2	功率分析	135
5.2.1	Excel-based功率计算器	135
5.2.2	Simulation-based功率估算	137
5.3	RTL阅读器	138
5.3.1	RTL阅读器简介	138
5.3.2	RTL阅读器用户界面	139
5.3.3	原理图的分页和模块层次的切换	140
5.3.4	过滤原理图	141
5.3.5	将原理图中的节点定位到源设计文件	143
5.3.6	在原理图中查找节点或网线	143
5.3.7	使用RTL阅读器分析设计中的问题	144
5.4	SignalProbe及SignalTap II逻辑分析器	144
5.4.1	SignalProbe	144
5.4.2	SignalTap II逻辑分析器	147
5.5	时序收敛平面布局规划器(Timing Closure Floorplan)	153
5.5.1	使用Timing Closure Floorplan分析设计	154

<<Altera FPGA/CPLD设计>>

5.5.2	使用Timing Closure Floorplan优化设计	160
5.6	Chip Editor底层编辑器	160
5.6.1	Chip Editor功能简介	160
5.6.2	使用Chip Editor的设计流程	161
5.6.3	Chip Editor视图	162
5.6.4	资源特性编辑器	164
5.6.5	Chip Editor的一般应用	168
5.7	工程更改管理(ECO)	168
5.7.1	ECO简介	169
5.7.2	ECO的应用范围	169
5.7.3	ECO的操作流程	170
5.7.4	使用Change Manager查看和管理更改	171
5.7.5	ECO验证	172
5.8	小结	172
5.9	问题与思考	172
第6章	编程与配置	173
6.1	配置Altera FPGA	173
6.1.1	配置方式	173
6.1.2	主动串行(AS)	179
6.1.3	被动串行(PS)	182
6.1.4	快速被动并行(FPP)	184
6.1.5	被动并行异步(PPA)	185
6.1.6	JTAG配置方式	187
6.1.7	ByteBlaster II下载电缆	188
6.1.8	配置芯片	190
6.2	配置文件和软件支持	190
6.2.1	软件支持	190
6.2.2	配置文件	192
6.3	单板设计及调试注意事项	195
6.3.1	配置的可靠性	196
6.3.2	单板设计要点	196
6.3.3	调试建议	197
6.4	小结	199
6.5	问题与思考	199
第7章	第三方EDA工具	200
7.1	第三方EDA工具综述	200
7.1.1	NativeLink与WYSIWYG	200
7.1.2	3种EDA工具的使用流程	201
7.1.3	Quartus II支持的第三方工具	201
7.2	仿真的概念与ModelSim仿真工具	203
7.2.1	仿真简介	203
7.2.2	仿真的切入点	204
7.2.3	ModelSim仿真工具的不同版本	206
7.2.4	ModelSim的图形用户界面	206
7.2.5	ModelSim的基本仿真步骤	217
7.2.6	使用ModelSim进行功能仿真	222
7.2.7	使用ModelSim进行时序仿真	226

<<Altera FPGA/CPLD设计>>

- 7.2.8 ModelSim仿真工具高级应用 228
- 7.3 综合的概念与Synplify/Synplify Pro综合工具 238
 - 7.3.1 Synplify/Synplify Pro的功能与特点 238
 - 7.3.2 Synplify Pro的用户界面 244
 - 7.3.3 Synplify Pro综合流程 247
 - 7.3.4 Synplify Pro的其他综合技巧 268
- 7.4 小结 280
- 7.5 问题与思考 280

<<Altera FPGA/CPLD设计>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>