

<<基于Verilog HDL的数字系统>>

图书基本信息

书名：<<基于Verilog HDL的数字系统应用设计>>

13位ISBN编号：9787118052770

10位ISBN编号：7118052779

出版时间：2007-8

出版时间：国防工业

作者：本社

页数：295

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<基于Verilog HDL的数字系统>>

内容概要

本书结合实践系统地介绍了基于Verilog数字逻辑设计相关的内容，包括工具使用、RTL设计及Testbench的设计。

本书共分为7章。

第1章对数字逻辑设计进行了概述；第2章介绍了常用EDA工具的使用；第3章介绍了RTL设计的相关内容；第4章介绍了功能验证及Testbench相关的内容；第5章结合一个串口配置寄存器的电路对第3章和第4章的内容进行了实践；第6章对数字信号处理中的常用电路进行了讲解；第7章介绍了逻辑设计需要考虑的工程因素。

本书适合对Verilog语法已略有了解的读者阅读，也适于在数字逻辑设计方面摸索多年的工程师参考。

<<基于Verilog HDL的数字系统>>

书籍目录

第1章 逻辑设计发展现状及开发流程1.1 硬件描述语言HDL (Hardware Description Language) 1.1.1 硬件描述语言简介1.1.2 Verilog语言简介1.2 可编程逻辑器件1.2.1 专用ASIC芯片VS.可编程逻辑器件1.2.2 FPGA VS.CPLD1.2.3主流FPGA厂商介绍1.2.4在选择FPGA器件时需要考虑的问题1.3 基于Verilog的jFPGA设计方法及流程1.3.1 设计方法1.3.2 典型的FPGA设计流程1.4 SOC与IP复用1.4.1 SOC简介1.4.2 IP CORE简介1.4.3 设计方法学的进展第2章 常用FPGA开发工具的使用2.1 仿真工具Modelsim2.1.1 Modelsim简介2.1.2 用Modelsim6.0做功能仿真2.1.3 用Modelsim做时序仿真2.1.4 Modelsim其他一些应用技巧2.2 综合工具Synplify Pro2.2.1 Synplify Pro简介2.2.2 用Synplify Pro进行设计综合流程2.3 集成开发环境Quartus II2.3.1 Quartus II简介2.3.2 设计输入2.3.3 约束输入2.3.4 综合2.3.5 布局布线2.3.6 仿真2.3.7 时序分析2.3.8 编程和配置第3章 RTL级建模3.1 硬件意识3.2 RTL级语法3.2.1 Verilog模块基本结构3.2.2 端口定义3.2.3 对带三态输出端口的建模3.2.4 对双向端口的建模3.2.5 数据类型3.2.6 连续赋值语句3.2.7 敏感信号列表3.2.8 always块3.2.9 条件语句3.2.10 多路分支语句3.2.11 关于casez和casex的补充说明3.2.12 if...else语句与case语句综合结果的比较3.2.13 再谈锁存器3.2.14 循环语句3.2.15 阻塞与非阻塞赋值3.2.16 模块例化3.3 常用电路的设计3.3.1 D触发器3.3.2 多路复用器3.3.3 多路解复用器3.3.4 计数器与分频器3.3.5 移位寄存器3.3.6 时钟使能电路3.3.7 边沿检测电路3.4 有限状态机的设计3.4.1 概述3.4.2 moore型状态机3.4.3 mealy型状态机3.4.4 moore型状态机与mealy型状态机的选用3.4.5 状态机的代码风格3.4.6 状态编码3.5 FPGA结构3.5.1 FPGA的整体结构3.5.2 10管脚3.5.3 LE3.5.4 LAB3.5.5 片内存储单元3.5.6 锁相环与全局时钟网络3.5.7 DSP模块3.5.8 使用FPGA的一些建议3.6 时序分析的基本概念3.6.1 tsu与tH3.6.2 亚稳态3.6.3 tco3.6.4 Clock skew3.6.5 FMAX的计算3.6.6 Multicycle path3.7 同步设计3.7.1 什么是同步设计3.7.2 同步设计的优点3.7.3 同步设计准则3.8 约束3.8.1 约束对综合工具/布局布线工具的影响3.8.2 在synplify中添加约束3.8.3 在Quartus中添加约束3.8.4 静态时序分析报告3.9 如何提高电路的工作频率3.9.1 影响电路工作频率的因素3.9.2 减少走线时延3.9.3 减少组合逻辑的时延3.10 多时钟域处理3.10.1 单个信号跨时钟域3.10.2 一组信号跨时钟域3.11 设计时序3.12 代码优化3.13 RTL级设计的其他注意事项3.13.1 命名规范3.13.2 保持良好的代码风格3.13.3 参数化设计3.13.4 输出应尽可能采用寄存器输出3.13.5 将相关逻辑放在同一模块3.13.6 尽量在“叶子”中做逻辑，顶层只做例化3.13.7 “简单”第4章 Testbench4.1 功能验证4.1.1 收敛模型4.1.2 验证方法4.1.3 覆盖率检查4.2 Testbench概述4.2.1 什么是Testbench4.2.2 为什么要写Testbench4.2.3 Testbench模型4.2.4 一个简单的Testbench4.3 行为级的Verilog语言4.3.1 RTL建模VS.行为级建模4.3.2 行为级的Verilog语法4.3.3 再谈阻塞与非阻塞赋值4.3.4 信号竞争问题4.4 激励和响应4.4.1 激励4.4.2 响应4.4.3 自动比较响应4.5 总线功能模型4.5.1 总线功能模型的地位4.5.2 总线功能模型的要求4.5.3 总线功能模型的设计4.6 Testbench的结构4.6.1 Testbench的层次4.6.2 Testbench的重用性第5章 RS232通信程序的设计5.1 RS232基础5.2 设计需求5.3 模块划分5.3.1 RTL级划分5.3.2 Testbench的结构划分5.4 RTL级代码5.4.1 top-module模块5.4.2 config-registers模块5.4.3 frame-deal模块5.4.4 tx-frame模块5.4.5 rx-frame模块5.4.6 rs232模块5.4.7 txmit模块5.4.8 rxvr模块5.4.9 clken-gen模块5.5 Testbench5.5.1 Testcase模块5.5.2 bm-frame-deal模块5.5.3 harness模块5.5.4 bfm-uart模块5.5.5 osc-rst模块5.6 仿真结果第6章 数字信号处理的Verilog设计6.1 数字信号处理FPGA实现简介6.2 数字信号处理基本模块的实现6.2.1 加法器6.2.2 乘法器6.2.3 积分器6.2.4 微分器6.2.5 抽取和内插6.2.6 用COR2DIC算法实现信号处理的常用模块6.3 FIR滤波器的实现6.3.1 FIR滤波器简介6.3.2 FIR滤波器的串行实现6.3.3 FIR滤波器的并行实现6.3.4 FIR滤波器的分布式实现6.3.5 三种滤波方案的比较和选用6.4 数字信号处理程序的仿真验证第7章 逻辑设计的工程因素7.1 芯片的可测试性设计7.2 芯片的可靠性设计7.3 逻辑设计需要考虑的其他工程因素7.3.1 电源归一化7.3.2 管脚排布7.3.3 上电功耗附录 相关资源介绍参考文献

<<基于Verilog HDL的数字系统>>

编辑推荐

本书结合实践系统地介绍了基于Verilog数字逻辑设计相关的内容，包括工具使用、RTL设计及Testbench的设计。

本书共分为7章。

第1章对数字逻辑设计进行了概述；第2章介绍了常用EDA工具的使用；第3章介绍了RTL设计的相关内容；第4章介绍了功能验证及Testbench相关的内容；第5章结合一个串口配置寄存器的电路对第3章和第4章的内容进行了实践；第6章对数字信号处理中的常用电路进行了讲解；第7章介绍了逻辑设计需要考虑的工程因素。

本书适合对Verilog语法已略有了解的读者阅读，也 / 95-在数字逻辑设计方面摸索多年的工程师参考。

<<基于Verilog HDL的数字系统>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介, 请支持正版图书。

更多资源请访问:<http://www.tushu007.com>