

<<VLSI测试方法学和可测性设计>>

图书基本信息

书名：<<VLSI测试方法学和可测性设计>>

13位ISBN编号：9787121003790

10位ISBN编号：7121003791

出版时间：2005-1-1

出版时间：电子工业出版社

作者：雷绍充,梁峰,邵志标

页数：286

字数：480000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<VLSI测试方法学和可测性设计>>

内容概要

本书系统介绍超大规模集成电路（VLSI）的测试方法学和可测性设计，为读者进行更深层次的电路设计、模拟、测试和分析打下良好的基础，也为电路（包括电路级、芯片级和系统级）的设计、制造、测试和应用之间建立一个相互交流的平台。

本书主要内容为电路测试、分析的基本概念和理论，数字电路的描述和模拟方法，组合电路和时序电路的测试生成方法，专用可测性设计，扫描和边界扫描理论，IDDQ测试，随机和伪随机测试原理，各种测试生成电路结构及其生成序列之间的关系，与MY邓列相关的其他测试生成方法，内建自测度原理，各种数据压缩结构和压缩关系，专用电路Memory和SoC等的可测性设计方法。

本书既可作为人一集成电路设计、制造、测试、应用，EDA和ATE专业人员的参考用书，也可作为高等院校高年级学生和研究生专业课程教材。

<<VLSI测试方法学和可测性设计>>

书籍目录

第0章 概述 0.1 研究意义 0.2 章节安排 0.3 常用术语第1章 电路分析基础 1.1 验证、模拟和测试 1.2 故障及故障检测 1.3 缺陷、失效和故障 1.4 故障模型 1.5 故障的等效、支配和故障冗余 1.6 可控性、可观性及可测性 1.7 数字电路的各种模型和描述方法第2章 模拟 2.1 大规模设计模拟 2.2 逻辑模拟 2.3 故障模拟第3章 组合电路和的测试 3.1 简介 3.2 异或法 3.3 布尔差分 3.4 路径敏化法 3.5 D算法 3.6 PODEM算法 3.7 其他测试生成算法第4章 时序电路的测试 4.1 时序电路测试的概念 4.2 时序电路的功能测试 4.3 时序电路的确定性测试生成 4.4 时序电路的其他测试生成方法第5章 专用可测性设计 5.1 概述 5.2 可测性分析 5.3 可测性的改善方法 5.4 容易测试的电路 5.5 组合电路的可测性设计 5.6 时序电路可测性设计中的问题第6章 扫描路径法 6.1 简介 6.2 扫描路径设计 6.3 扫描路径的测试方法 6.4 扫描路径设计及测试举例 6.5 扫描路径的结构第7章 边界扫描法 7.1 边界扫描法的基本结构 7.2 测试存取通道及控制 7.3 寄存器及指令 7.4 操作方式 7.5 边界扫描描述语言第8章 随机测试和伪随机测试 8.1 随机测试 8.2 伪随机序列 8.3 LFSR的数学基础 8.4 伪随机测试序列生成电路 8.5 与M序列相关的序列的生成方法 8.6 低功耗测试序列第9章 内建自测试 9.1 内建自测试的概念 9.2 响应数据压缩 9.3 特征分析法 9.4 内建自测试的结构第10章 电流测试 10.1 简介 10.2 IDDQ测试机理 10.3 IDDQ测试方法 10.4 故障检测 10.5 测试图形生成 10.6 深亚微米技术对电流测试的影响第11章 存储器测试 11.1 存储器电路模型 11.2 存储器的缺陷和故障模型 11.3 存储器测试的类型 11.4 存储器测试算法 11.5 存储器测试方法 11.6 存储器冗余和修复第12章 SoC测试 12.1 SoC测试的基本问题 12.2 概念性的SoC测试结构 12.3 测试策略 12.4 IEEE P 1500标准 12.5 SoC测试再探索

版权说明

本站所提供下载的PDF图书仅提供预览和简介, 请支持正版图书。

更多资源请访问:<http://www.tushu007.com>