第一图书网, tushu007.com

<<Verilog HDL数字设计与综合>>

图书基本信息

书名：<<Verilog HDL数字设计与综合>>

13位ISBN编号：9787121004681

10位ISBN编号：7121004682

出版时间：2004-11

出版时间：电子工业出版社

作者：帕尔尼卡

页数：306

字数：518000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：http://www.tushu007.com

内容概要

本书从用户的角度全面阐述了Verilog HDL语言的重要细节和基本设计方法，并详细介绍了Verilog 2001版的主要改进部分。
本书重点关注如何应用Verilog语言进行数字电路和系统的设计和验证，而不仅仅讲解语法。
全书从基本概念讲起，并逐渐过渡到编程语言接口以及逻辑综合等高级主题。
书中的内容全部符合Verilog HDL IEEE 1364-2001标准。
　本书适合电子、计算机、自动控制等专业的学习数字电路设计的大学本科高年级学生阅读，也适合数字系统设计工程师和已具有多年Verilog设计工作经验的资深工程师参考。

作者简介

Samir Palnitkar:毕业于印度理工学院电气工程系，获得学士学位，后来在美国西雅图的华盛顿大学电气工程系获得硕士学位，接着在美国加州圣何塞州立大学获得MBA学位。
目前是美国Jambo Systems公司总裁，数字系统设计领域Verilog HDL建模、逻辑综合和基于EDA的设计方法学

书籍目录

第一部分 Verilog基础知识 第1章 Verilog HDL数字设计综述 1.1 数字电路CAD技术的发展历史 1.2 硬件描述语言的出现 1.3 典型设计流程 1.4 硬件描述语言的意义 1.5 Verilog HDL的优点 1.6 硬件描述语言的发展趋势 第2章 层次建模的概念 2.1 设计方法学 2.2 四位脉动进位计数器 2.3 模块 2.4 模块实例 2.5 逻辑仿真的构成 2.6 举例 2.7 小结 2.8 习题 第3章 基本概念 3.1 词法约定 3.2 数据类型 3.3 系统任务和编译指令 3.4 小结 3.5 习题 第4章 模块和端口 4.1 模块 4.2 端口 4.3 层次命名 4.4 小结 4.5 习题 第5章 门级建模 5.1 门的类型 5.2 门延迟 5.3 小结 5.4 习题 第6章 数据流建模 6.1 连续赋值语句 6.2 延迟 6.3 表达式、操作符和操作数 6.4 操作符类型 6.5 举例 6.6 小结 6.7 习题 第7章 行为级建模 7.1 结构化过程语句 7.2 过程赋值语句 7.3 时序控制 7.4 条件语句 7.5 多路分支语句 7.6 循环语句 7.7 顺序块和并行块 7.8 生成块 7.9 举例 7.10 小结 7.11 习题 第8章 任务和函数 8.1 任务和函数的区别 8.2 任务 8.3 函数 8.4 小结 8.5 习题 第9章 实用建模技术 9.1 过程连续赋值 9.2 改写参数 9.3 条件编译和执行 9.4 时间尺度 ……第二部分 Verilog高级主题第三部分 附录参考文献译者后记

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:http://www.tushu007.com