

<<Verilog HDL应用程序设计实例>>

图书基本信息

书名：<<Verilog HDL应用程序设计实例精讲>>

13位ISBN编号：9787121095481

10位ISBN编号：7121095483

出版时间：2009-10

出版时间：电子工业出版社

作者：刘福奇，刘波 编著

页数：518

字数：670000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Verilog HDL应用程序设计实例>>

内容概要

本书从实用的角度出发，通过大量的工程实例，详细、深入地介绍了Verilog HDL应用程序设计的方法与技巧。

全书共分2篇12章，第一篇为Verilog HDL基础知识，概要介绍了Verilog HDL的特点、语言要素与表达式、行为级建模、结构级建模、语句的综合、设计与验证，以及代码优化技巧，引导读者技术入门；第二篇为Verilog HDL应用编程实例，通过30多个实例，循序渐进地介绍了Verilog HDL在逻辑电路、存储器、数字通信、数字控制、信号测量领域的应用编程技术和技巧。

这些实例典型丰富，全部来自于实践并且调试通过，融合了作者多年的设计经验，应用性和指导性强，利于读者学习后举一反三，快速提高应用编程能力。

本书配有一张光盘，包含了全书实例的程序源代码和部分视频教程，方便读者学习和使用。

本书适合计算机硬件、电子与通信工程等相关专业的大学生，以及从事Verilog HDL编程的科研人员使用。

<<Verilog HDL应用程序设计实例>>

书籍目录

Verilog HDL基础知识 第1章 Verilog HDL语言概述 1.1 HDL概念与发展历史 1.2 Verilog HDL语言特点 1.3 Verilog HDL语言开发流程 1.4 Verilog HDL程序的基本结构 1.4.1 模块 1.4.2 模块调用 第2章 Verilog HDL语法基础 2.1 程序格式 2.2 注释 2.3 间隔符 2.4 数值 2.5 字符串 2.6 标识符 2.7 系统任务和函数 2.8 编译指令 2.9 数据类型 2.9.1 线网 (Net) 和变量 (Variable) 2.9.2 标量 (Scalar) 与矢量 (Vector) 2.9.3 线网 (Net) 数据类型 2.9.4 变量 (Variable) 数据类型 2.9.5 数组 (Array) 类型 2.9.6 参数 2.9.7 名字空间 2.10 表达式 2.10.1 操作符 2.10.2 操作数 2.10.3 延迟表达式 2.10.4 表达式的位宽 2.10.5 有符号表达式 第3章 行为级建模 3.1 行为级建模的结构 3.1.1 过程块结构 3.1.2 initial过程块 3.1.3 always过程块 3.2 语句块 3.2.1 顺序语句块 (begin—end) 3.2.2 并行语句块 (fork-join) 3.2.3 顺序块和并行块的混合使用 3.3 时间控制 3.3.1 延时控制 3.3.2 边沿触发事件控制 3.3.3 电平敏感事件控制 (wait语句) 3.4 赋值语句 3.4.1 过程赋值语句 3.4.2 阻塞型赋值语句和非阻塞型赋值语句 3.4.3 连续赋值语句和过程连续赋值语句 3.5 分支语句 3.5.1 if-else条件分支语句 3.5.2 case分支控制语句 3.6 循环控制语句 3.6.1 forever循环语句 3.6.2 repeat循环语句 3.6.3 while循环语句 3.6.4 for循环语句 3.7 任务 (task) 和函数 (function) 3.7.1 任务 (task) 3.7.2 函数 (function) 第4章 结构级建模 4.1 模块级建模 4.1.1 模块的定义 4.1.2 模块的端口 4.1.3 模块的调用 4.1.4 在模块调用时对参数值的更改 4.2 门级建模 4.2.1 内置基本门级元件 4.2.2 用户自定义基本元件 (UDP) 第5章 Verilog HDL语句的综合 5.1 综合概述 5.1.1 综合的概念 5.1.2 数值集合与数据类型 5.1.3 储值单元的综合原则 5.2 连续赋值语句的综合 5.3 过程赋值语句的综合 5.3.1 阻塞赋值语句 5.3.2 非阻塞赋值语句 5.4 逻辑运算符的综合 5.5 算术运算符的综合 5.5.1 无符号运算 5.5.2 有符号运算 5.5.3 进位与位宽 5.6 关系运算符的综合 5.7 移位 (shlR) 运算符综合 5.8 位选择综合 5.9 条件表达式的综合 5.10 always语句的综合 5.11 if语句的综合 5.12 case语句的综合 5.12.1 从case语句综合出锁存器 5.12.2 casez和casex语句的综合 5.12.3 并行的case语句 5.12.4 条件表达式使用常量的case语句 5.13 锁存器的综合 5.14 循环语句的综合 5.14.1 静态循环的综合 5.14.2 非静态循环的综合 5.15 阻塞和非阻塞赋值 5.16 函数的综合 5.17 任务的综合 5.18 任意值/高阻的综合 第6章 设计验证 6.1 后综合设计验证 6.1.1 基于仿真的验证 6.1.2 形式化验证 6.2 面向验证的编码风格 6.2.1 功能正确性 6.2.2 时序正确性 6.3 定时验证 6.4 时序分析基础 6.4.1 周期与最大时钟频率 6.4.2 时钟建立时间 第7章 Verilog HDL代码优化技巧Verilog HDL应用编程实例 第8章 组合电路设计实例 第9章 时序电路设计实例 第10章 存储器电路设计实例 第11章 数字通信与控制设计实例 第12章 数字频率测量设计实例

<<Verilog HDL应用程序设计实例>>

章节摘录

Verilog HDL基础知识 第1章 Verilog HDL语言概述 本章将简单介绍Verilog HDL语言的特点、开发流程, 以及Verilog程序的基本结构。

通过本章学习, 读者将对Verilog HDL语言有一个入门性的了解和认识。

1.1 HDL概念与发展历史 1.HDL概念 硬件描述语言 (Hardware Description Language) 是硬件设计人员和EDA (Electronic Design Automation) 工具之间的界面, 它主要用于从算法级、门级到开关级的多种抽象设计层次的数字系统建模。

被建模的数字系统对象既可以是简单的门, 也可以是完整的数字电子系统。

硬件描述语言的主要功能是编写设计文件, 建立电子系统行为级的仿真模型, 然后利用高性能的计算机对用Verilog HDL或VHDL建模的复杂数字逻辑进行仿真, 之后再对它进行自动综合以生成符合要求且在电路结构上可以实现的数字逻辑网表 (Netlist), 然后根据网表和适合某种工艺的器件自动生成具体电路, 最后生成该工艺条件下具体电路的延时模型。

仿真验证无误后用于制造ASIC (Application Specific Integrated Circuit, 专用集成电路) 芯片或写入FPGA (现场可编程逻辑门阵列) 和CPLD (复杂可编程逻辑器件) 中。

在EDA领域, 一般把用HDL语言建立的数字系统模型称为软核 (Soft Core), 把用HDL建模和综合后生成的网表称为固核 (Hard Core)。

重复利用这些模块可以缩短开发周期, 提高产品开发成功率, 并提高设计效率。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>