

<<VHDL数字电路设计教程>>

图书基本信息

书名：<<VHDL数字电路设计教程>>

13位ISBN编号：9787121186721

10位ISBN编号：7121186721

出版时间：2013-1

出版时间：电子工业出版社

作者：佩德罗尼

页数：300

字数：441000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<VHDL数字电路设计教程>>

内容概要

自从VHDL在1987年成为IEEE标准之后，就因其在电路模型建立、仿真、综合等方面的强大功能而被广泛用于复杂数字逻辑电路的设计中。

本书共分为三个基本组成部分，首先详细介绍VHDL语言的背景知识、基本语法结构和VHDL代码的编写方法；然后介绍VHDL电路单元库的结构和使用方法，以及如何将新的设计加入到现有的或自己新建立的单元库中，以便于进行代码的分割、共享和重用；最后介绍CPLD和FPGA的发展历史、主流厂商提供的开发环境使用方法。

本书在结构组织上有独特之处，例如将并发描述语句、顺序描述语句、数据类型与运算操作符和属性等独立成章，使读者更容易清晰准确地掌握这些重要内容。

本书注重设计实践，给出了大量完整设计实例的电路图、相关基本概念、电路工作原理以及仿真结果，从而将VHDL语法学习和如何采用它进行电路设计有机地结合在一起。

<<VHDL数字电路设计教程>>

作者简介

作者：（巴西）佩德罗尼（Volnei A. Pedroni）译者：乔庐峰 王志功 佩德罗尼（Pedroni V.A.），在美国加利福尼亚理工学院获得电子工程博士学位，现为巴西联邦技术大学电子工程教授。
另著有Digital Electronics Designwith VHDL（《数字电子技术与电路设计（VHDL版）》，由电子工业出版社翻译出版）。

<<VHDL数字电路设计教程>>

书籍目录

目 录

第一部分 电路设计

第1章 引言 2

1.1 关于VHDL 2

1.2 设计流程 2

1.3 EDA工具 3

1.4 从VHDL代码到电路的转化 4

1.5 设计实例 6

第2章 VHDL代码结构 9

2.1 VHDL代码基本单元 9

2.2 库声明 10

2.3 实体 11

2.4 构造体 12

2.5 例题 13

2.6 习题 16

第3章 数据类型 19

3.1 预定义的数据类型 19

3.2 用户定义的数据类型 22

3.3 子类型 23

3.4 数组 24

3.5 端口数组 26

3.6 记录类型 27

3.7 有符号数和无符号数 28

3.8 数据类型转换 29

3.9 小结 30

3.10 例题 31

3.11 习题 35

第4章 运算操作符和属性 37

4.1 运算操作符 37

4.2 属性 40

4.3 用户自定义属性 42

4.4 操作符扩展 43

4.5 通用属性语句 43

4.6 设计实例 44

4.7 小结 48

4.8 习题 49

第5章 并发代码 51

5.1 并发执行和顺序执行 51

5.2 使用运算操作符 53

5.3 WHEN语句 54

5.4 GENERATE语句 63

5.5 块语句 65

5.6 习题 68

第6章 顺序代码 72

6.1 进程 72

<<VHDL数字电路设计教程>>

6.2 信号和变量	74
6.3 IF语句	74
6.4 WAIT语句	78
6.5 CASE语句	80
6.6 LOOP语句	84
6.7 CASE语句和IF语句的比较	91
6.8 CASE语句和WHEN语句的比较	91
6.9 同步时序电路中的时钟问题	92
6.10 使用顺序代码设计组合逻辑电路	96
6.11 习题	98
第7章 信号和变量	103
7.1 常量	103
7.2 信号	103
7.3 变量	105
7.4 信号和变量的比较	106
7.5 寄存器的数量	112
7.6 习题	121
第8章 状态机	128
8.1 引言	128
8.2 设计风格#1	129
8.3 设计风格#2	136
8.4 状态机编码风格：二进制编码和独热编码	149
8.5 习题	150
第9章 典型电路设计分析	153
9.1 桶形移位寄存器	153
9.2 有符号数比较器和无符号数比较器	156
9.3 逐级进位和超前进位加法器	159
9.4 定点除法	162
9.5 自动售货机控制器	166
9.6 串行数据接收器	171
9.7 并/串变换器	173
9.8 一个7段显示器的应用例题	175
9.9 信号发生器	178
9.10 存储器设计	181
9.11 习题	186
第二部分 系统设计	
第10章 包集和元件	192
10.1 概述	192
10.2 包集	193
10.3 元件	195
10.4 端口映射	201
10.5 GENERIC参数的映射	202
10.6 习题	208
第11章 函数和过程	209
11.1 函数	209
11.2 函数的存放	211
11.3 过程	219

<<VHDL数字电路设计教程>>

11.4 过程的存放	221
11.5 函数与过程小结	224
11.6 断言语句	224
11.7 习题	224
第12章 系统设计实例分析	226
12.1 串-并型乘法器	226
12.2 并行乘法器	230
12.3 乘-累加电路	235
12.4 数字滤波器	238
12.5 神经网络	243
12.6 习题	249
附录A 可编程逻辑器件	251
附录B Xilinx ISE和ModelSim使用指南	259
附录C Altera MaxPlus II和Advanced Synthesis Software使用指南	267
附录D Altera Quartus II使用指南	277
VHDL保留字	285
参考文献	286

<<VHDL数字电路设计教程>>

章节摘录

版权页：插图：11.5函数与过程小结 函数有零个或多个输入参数和一个返回值。

输入参数只能是常量（默认）或信号（不允许是变量）。

过程可以带有多个输入、输出或双向参数。

这些参数可以是信号、变量或常量。

对于输入模式（IN）的参数，默认情况下为常量，而对于输出模式（OUT或INOUT）的参数，默认情况下为变量。

函数调用是作为表达式的一部分出现的，过程的调用相对而言更简单，可以直接进行调用。

在函数和过程的内部，WAIT和COMPONENTs都是不可综合的。

函数和过程的存放位置是相同的（见图11.1）。

它们经常位于PACKAGE中或主代码中（在ENTITY或ARCHITECTURE中）。

当位于PACKAGE中时，对应的PACKAGE BODY必须存在，其中存放着函数或过程的功能描述代码。

11.6断言语句 ASSERT语句是不可综合的，它的作用是将仿真过程中发现的问题通过屏幕显示等方法指出来。

根据问题的严重程度，仿真过程可以被命令终止。

其语法格式如下：严重程度的等级可以划分为：注意、警告、错误和失败，其中“错误”是默认的。

当判断条件（condition）值为假（FALSE）时，就会显示message。

例我们要写一个函数来进行两个二进制数相加的运算（如例11.6所示），这里要求两个输入参数必须具有相同的位宽。

为了检测这个要求是否得到满足，可以在函数体内加入下面的ASSERT语句。

<<VHDL数字电路设计教程>>

编辑推荐

《国外电子与通信教材系列:VHDL数字电路设计教程》适合通信工程、电子工程及相关专业的高年级本科生作为教材使用，同时也可以作为可编程逻辑器件应用开发的培训教材。

<<VHDL数字电路设计教程>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>