

<<超大规模集成电路设计方法学导论>>

图书基本信息

书名：<<超大规模集成电路设计方法学导论(第二版)>>

13位ISBN编号：9787302032755

10位ISBN编号：7302032750

出版时间：1999-3

出版时间：清华大学出版社

作者：杨之廉

页数：314

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

前言

本书1990年12月第一次出版后，受到了同行专家的好评，并被多所高等学校所采用。

1996年本书获第三届全国工科电子类专业优秀教材一等奖，这是对作者所作尝试的鼓励和鞭策。

近几年来集成电路技术继续保持高速发展，最突出的表现有三点：一是硅生产工艺已从微米、亚微米进入到深亚微米水平，这就要求建立精确的深亚微米器件模型、互连模型和时序模型，二是电路的设计规模已从数万门上升到数十万门乃至上百万门，这就要求设计工作从较高的抽象层次出发并按层次式方法进行管理；三是适应这些要求而出现的第三代集成电路设计自动化（EDA）系统，在系统中引入了硬件描述语言（VHDL）和逻辑综合（logic synthesis）等工具。

为了充分反映近年来在集成电路设计方法学和设计工具方面的变革，我们在保持原书结构（即分为设计方法和设计工具两大部分）的基础上，对书中内容做了较大的增补和修改：（1）对第三代EDA系统及其结构框架做了介绍，并概述了深亚微米电路设计对设计流程的影响；（2）新增硬件描述语言VHDL一章；（3）新增逻辑综合一章；（4）将器件模型部分单独成章，并新增深亚微米MOS器件模型；（5）新增门海设计方法的讨论；（6）加重了可编程逻辑器件和逻辑单元阵列设计方法的论述；（7）新增二维器件模拟的讨论；（8）对计算机辅助版图设计一章做了较大修订以反映版图设计系统的最新变化。

我们希望此书再版后对推动我国集成电路设计水平的提高有所促进，对高等学校的教学改革、课程改革有所帮助。

但由于集成电路设计方法与工具涉及的领域很广，加之作者的水平和能力有限，我们未能对有些问题如行为级综合、时序分析等作系统论述。

此外，书中难免存在错误和不足，敬请广大读者予以批评指正。

<<超大规模集成电路设计方法学导论>>

内容概要

《清华大学电子与信息技术系列教材·高等学校电子信息类规划教材：超大规模集成电路设计方法学导论（第2版）》在概述集成电路设计过程和步骤的基础上，系统地论述了各种设计集成电路的方法，讨论了全定制法、定制法、半定制法以及可编程逻辑器件和逻辑单元阵列设计方法的特点和适用范围。

还讨论了高层次设计中的VHDL硬件描述语言和逻辑综合。

对各种计算机模拟工具及其算法做了细致分析，其中包括逻辑模拟、电路模拟、器件模拟和工艺模拟。

此外，对SPICE电路模拟程序中的半导体器件模型做了详细介绍。

最后讨论了集成电路的版图编辑与版图验证。

《清华大学电子与信息技术系列教材·高等学校电子信息类规划教材：超大规模集成电路设计方法学导论（第2版）》可作为大专院校微电子学和半导体专业、电子类专业本科生和研究生的教材，也可作为集成电路芯片设计人员、微电子工程技术人员的参考书。

书籍目录

第1章 设计过程概述1.1 集成电路设计方法和工具的变革1.2 设计系统的结构框架1.3 “自顶向下”与“由底向上”设计步骤1.4 典型的设计流程1.5 深亚微米电路设计对设计流程的影响1.6.ASIC及其分类1.7 不同设计方法的特点第2章 各种设计方法2.1 全定制设计方法2.2 半定制设计方法2.2.1 有通道门阵列法2.2.2 门海法2.3 定制设计方法2.3.1 标准单元法2.3.2 通用单元法2.4 可编程逻辑器件设计方法2.4.1 PLD的结构与分类2.4.2 PLD的符号2.4.3 PAL2.4.4 GAI2.4.5 高密度PLD2.4.6 在系统内编程的PLD2.4.7 设计流程2.5 逻辑单元阵列设计方法2.5.1 LCA的结构与特点2.5.2 可配置逻辑功能块2.5.3 输入 / 输出功能块2.5.4 可编程的内部连线资源2.5.5 配置用存储器2.5.6 设计流程2.5.7 编程第3章 硬件描述语言VHDL3.1 硬件描述语言的特点3.2 VHDL中的设计实体3.2.1 实体说明3.2.2 实体构造3.3 VHDL中的对象和数据类型3.3.1 数的类型和它的字面值3.3.2 数据类型3.3.3 对象的说明3.3.4 VHDL中数的运算3.4 行为描述3.4.1 对象的赋值3.4.2 并发进程3.4.3 并行信号赋值语句3.4.4 进程语句3.4.5 顺序赋值语句3.4.6 顺序控制3.4.7 断言语句3.4.8 子程序3.5 结构描述3.5.1 元件和例元3.5.2 规则结构3.5.3 参数化设计3.5.4 结构与行为混合描述3.6 设计共享3.6.1 程序包3.6.2 库3.6.3 元件配置第4章 逻辑综合4.1 逻辑综合的作用4.2 逻辑函数与多维体表示4.2.1 逻辑函数的真值表表示4.2.2 三种输入集合4.2.3 逻辑多维空间4.2.4 多维体与布尔表达式4.2.5 逻辑函数的覆盖4.3 逻辑多维空间的基本运算4.3.1 包含与吸收4.3.2 相交与交集4.3.3 相容与星积4.3.4 求补和锐积4.4 组合逻辑的综合4.4.1 逻辑综合的基本思路4.4.2 质蕴涵体集合的获得4.4.3 覆盖的最小化第5章 逻辑模拟5.1 逻辑模拟的作用5.2 逻辑模型5.2.1 逻辑信号值5.2.2 逻辑求值5.2.3 基本逻辑元件5.2.4 信号延迟5.2.5 逻辑信号强度5.3 逻辑模拟算法5.3.1 编排级数法5.3.2 事件驱动法5.3.3 逻辑模拟器内部数据表格第6章 电路模拟6.1 电路分析的作用6.2 SPICE2的功能6.3 SPICE2使用举例6.4 SPICE2的结构6.5 SPICE2的流程6.6 动态存储与存放格式6.7 建立电路方程6.8 求解方法6.8.1 线性电路的直流分析6.8.2 非线性电路的直流分析6.8.3 交流分析6.8.4 瞬态分析6.8.5 收敛问题第7章 SPICE中的器件模型7.1 对器件模型的要求7.2 二极管模型7.3 双极型晶体管模型7.4 结型场效应晶体管模型7.5 MOS场效应晶体管模型7.5.1 MOS1模型7.5.2 MOS2模型7.5.3 MOS3模型7.5.4 电容模型7.5.5 小信号模型7.5.6 串联电阻的影响7.6 BSIM短沟道MOS管模型7.6.1 BSIM1模型7.6.2 BSIM2模型7.6.3 BSIM3模型7.7 器件模型参数的提取第8章 器件模拟8.1 器件模拟的作用8.2 一维器件模拟8.3 二维器件模拟8.4 器件模拟程序应用举例第9章 工艺模拟9.1 工艺模拟的作用9.2 工艺模拟的求解方法9.3 工艺模拟程序中的工艺模型9.4 工艺模拟程序的应用举例第10章 计算机辅助版图设计与验证10.1 版图的基本概念10.1.1 版图中的图素与分层10.1.2 版图单元与版图的层次化结构10.1.3 版图上的注释10.1.4 版图的工艺10.1.5 版图单元库10.1.6 版图数据交换文件10.2 版图的交互编辑10.2.1 基本的图形操作.....参考文献附录I 算法基础附录II CIF格式

章节摘录

10.门阵列法优缺点分析 从以上讨论可以看出,门阵列法的优点是明显的。它采用相同尺寸的基本单元和I/O单元,并完成了连线以外的所有加工工序。需要定制的掩膜版只有两块或四块。设计所要完成的工作是根据电路要求选择相应的宏单元,进行自动布局和自动布线。因此设计周期大大缩短,成本也大大下降。

当工艺改变或单元结构需要变化时,只需作较少的修改,CAD软件不需更换,因而原始投资较低。即使芯片的产量很低,如只需几百或几千块芯片时,其价格也在可接受的范围内。这些优点是门阵列在各个应用领域中得到迅速推广的重要原因。

但门阵列法也存在一些固有的弱点。第一是单元内的晶体管可能无用,如采用四管基本单元来实现传输门对时,就会有明显的面积浪费。第二,当基片上所提供的连线通道已被全部用完,或I/O单元及压焊块全部用完后,即使有多余的门也无法再利用。第三,为了保证布线的布通率,一般在选择门阵基片时总是使基片的晶体管数大于实际电路所需的晶体管数,因而造成基片上有相当一部分晶体管实际无用,晶体管利用率通常低于80%。第四,利用自动布局布线程序进行布图时,并不能保证100%的布线布通率(特别是在单层金属布线时),这时需要进行人工干预,而人工干预常常需要花费大量的时间。第五,基本单元中的晶体管尺寸,由于要适应各种不同的要求,一般设计得较大,因而相对于其它方法,门阵列的面积较大,速率较低,功耗较大。此外,由于晶体管尺寸是固定不变的,没有可能因负载、扇出的具体情况而实现特殊设计,因而难以保证门延迟的均匀性。第六,由于单元之间存在很宽的布线通道,因而无法实现像ROM, RAM等这类规则结构的电路。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>