第一图书网, tushu007.com

<<数字逻辑与VHDL设计>>

图书基本信息

书名：<<数字逻辑与VHDL设计>>

13位ISBN编号：9787302079385

10位ISBN编号：7302079382

出版时间：2005-1-1

出版时间：清华大学出版社

作者：Stephen Brown Zvonko Vranesic,边计年,吴强,薛宏熙

页数：622

字数：946000

译者：边计年,吴强,薛宏熙

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：http://www.tushu007.com

内容概要

本书把数字逻辑设计、VHDL描述以及使用CAD工具三者相结合，不仅帮助读者掌握数字逻辑的设计原理，还帮助读者掌握先进的设计工具，从而能高效地完成一个设计。
　本书附有一张光盘，其中包含Altera公司的CAD工具MAX+plusⅡ(学生版)。
该软件工具可以把一个用VHDL描述的设计自动映射到可编程器件，即大容量可编程器件(CPLD)或现场可编程门阵列(FPGA)。
学生们可以亲手使用MAX+plusⅡ对本书中VHDL实例以及家庭作业做实验。
MAX+plusⅡ是一个功能强大的商业化工具，已经在工业界赢得良好声誉。
它提供一个成熟的、对用户友好的程序包，工程师们用它进行设计、模拟、测试并最终实现逻辑电路。
　VHDL是一种复杂的语言，本书没有对其做全面介绍，而采用循序渐进的方法引导学习。
为了便于学生学习MAX+plusⅡ，本书附有3个不同程度的使用指南。
　本书适合作计算机和电子工程等专业本科生及研究生的教材，也可作集成电路设计人员的参考书。

作者简介

Stephen Brown在加拿大的New Brunswick大学获得电气工程的学士学位，在多伦多大学获得电气工程硕士和博士学位。
1992年起在多伦多大学任教，现在是电气与计算机工程系的副教授。
1999-2000年任美国加州圣荷塞的Altera公司的高级技术成员，从事高级CAD算法和可编程逻辑器件的体系结构方面的工作。

研究领域包括现场可编程VLSI技术、CAD算法、以及计算机体系结构。
1992年在加拿大获得加拿大自然科学与工程研究理事会的最佳博士论文奖。

他还获得电气工程、计算机工程和计算机科学课程的多项优胜奖。
他还是《现场可编程门陈列》一书的合作作者。

书籍目录

第1章 设计概念 1．1 数字硬件 1．1．1 标准芯片 1．1．2 可编程逻辑器件 1．1．3 全定制设计芯片 1．2 设计过程 1．3 数字硬件的设计 1．3．1 基本设计周期 1．3．2 数字硬件单元的设计 1．4 本书的逻辑电路设计 1．5 理论与实际 参考文献第2章 逻辑电路导论 2．1 变量与函数 2．2 反相 2．3 真值表 2．4 逻辑门与网络 2．4．1 逻辑网络的分析 2．5 布尔代数 2．5．1 文氏图 2．5．2 记号与术语 2．5．3 运算的优先级 2．6 用与门、或门和非门进行综合 2．6．1 积之和形式与和之积形式 2．7 设计实例 2．7．1 三路灯控制 2．7．2 多路器电路． 2．8 CAD 211具简介 2．8．1 设计输人 2．8．2 综合 2．8．3 功能模拟 2．8．4 小结 2．9 VHDL简介 2．9．1 用VHDL表示数字电路 2．9．2如何写简单VHDL代码 2．9．3如何写VHDL代码 2．10 结论 习题 参考文献第3章 实现技术 3．1晶体管开关 3．2 NMOS逻辑门 3．3 CMOS逻辑门 3．3．1 逻辑门电路的速度 3．4负逻辑系统 3．5 标准芯片 3．5．1 7400系列标准芯片 3．6可编程逻辑器件 3．6．1 可编程逻辑阵列PLA 3．6．2 可编程阵列逻辑PAL 3．6．3对PLA和PAL编程 3．6．4复合可编程逻辑器件CPLD 3．6．5 现场可编程门阵列 3．6．6 使用CAD 32具在CPLD和FPGA中实现电路 3．7 客户定制芯片、标准单元和门阵列 3．8 实际特性 3．8．1 金属氧化物场效应晶体管的制造和特性 3．8．2 MOSFET的导通电阻 3．8．3 逻辑门的电平 3．8．4 噪声容限 3．8．5 逻辑门的动态运行 3．8．6逻辑门的功耗 3．8．7 通过晶体管开关传送1和0 3．8．8 逻辑门的扇人和扇出 3．9 传输门 3．9．1 异或门 3．9．2多路器电路 3．10可编程器件(SPLD，CPLD和FPGA)的实现细节 3．10．1 FPGA的实现 3．11 结束语 习题 参考文献第4章 逻辑函数的优化实现 4.1 卡诺图 4.2 最小化的策略 4.2.1 名词术语 4.2.2 最小化过程 4.3 和之积形式的最小化 4.4 不完全规定函数 4.5 多输出电路 4.6 与非门和或非门组成的逻辑网络 4.7 多级综合 4.7.1 提取公因子 4.7.2 功能分解 4.7.3 多级与非和或非电路 4.8 多级电路分析 4.9 立方体表示法 4.9.1 立方体和超立方体 4.10 使用立方体表示法对函数最小化 4.10.1 产生质量涵项 4.10.2 确定必要质蕴涵项 4.10.3 求最小覆盖的完整过程 4.11 一些实际问题 4.12 CAD工具 4.12.1 逻辑综合和优化 4.12.2 物理设计 4.12.3 时序模拟 4.12.4 设计流程小结 4.12.5 由VHDL代码综合而得的电路实例 4.13 小结 习题 参考文献第5章 数的表示方尖和算术运算电路 5.1 数的位置表示法 5.1.1 无符号整数 5.1.2 十进制系统和二进制系统之间的转换 5.1.3 八进制和十六进制数的表示方法 5.2 无符号数的加法运算 5.2.1 全加器的分解 5.2.2 行波进位加法器 5.2.3 设计实例 5.3 有符号数 5.3.1 负数 5.3.2 加法和减法 5.3.3 加法器、减法器 5.3.4 基数补码方案 5.3.5 算术运算的一般观察 5.3.6 电路的性能 5.4 快速加法器 5.4.1 先行进位加法器 5.5 使用CAD工具设计算术运算电路 5.5.1 使用原理图编辑器设计算术运算电路 5.5.2 使用VHDL设计算术运算电路 5.5.3 VHDL代码中表示数字方法 5.5.4 算术赋值语句 5.6 乘法 5.6.1 无符号数的阵列乘法器 5.6.2 有符号数的乘法 5.7 数的其他表示方法 5.7.1 定点数 5.7.2 浮点数 5.7.3 二十进制表示法 5.8 ASCII字符代数 习题 参考文献第6章 组合电路积木块 6.1 多路器 6.1.1 以多路器为元件的逻辑综合 6.1.2 使用香农展开的多路器综合 6.2 译码器 6.2.1 多路分解器 6.3 编码器 6.3.1 二进制编码器 6.3.2 优先级编码器 6.4 代码转换器 6.5 算术比较电路 6.6 用VHDL设计组合逻辑电路 6.6.1 赋值语句 6.6.2 选择信号赋值语句 6.6.3 条件信号赋值语句 6.6.4 FOR生成语句 6.6.5 并行和顺序赋值语句 6.6.6 进程语句 6.6.7 CASE语句 6.7 结束语 习题 参考文献第7章 触发器、寄存器、计数器和一个简单的处理器 7.1 基本的锁存器 7.2 SR选通锁存器 7.2.1 用与非门组成选通RS锁存器 7.3 选通D锁存器 7.3.1 传输延迟的影响 7.4 主从触发器和边沿解发D触发器 7.4.1 主从D触发器 7.4.2 边沿触发的D触发沿 7.4.3 带有清0和预置信号的D触发器 7.5 T触发器 7.5.1 可配置的触发器 7.6 JK触发器 7.7 术语小结 7.8 寄存器 7.8.1 移位寄存器 7.8.2 并行存取的移位寄存器 7.9 计数器 7.9.1 异步计数器 7.9.2 同步计数器 7.9.3 具有并行加载功能的计数器 7.10 同步清0 7.11 其他类型计数器 7.11.1 二-十进制计数器 7.11.2 环形计数器 7.11.3 Johnson计数器 7.11.4 关于计数器设计的评述 7.12 用CAD工具设计含存储元件的电路 7.12.1 用图形编辑器设计含存储元件的电路 7.12.2 在VHDL代码中使用锁存器和触发器 7.12.3 用VHDL的顺序语句描述存储元件 7.13 用CAD工具设计包含寄存器和计数器的电路 7.13.1 用图形编辑器设计包含寄存器和计数器的电路 7.13.2 用VHDL描述含寄存器和计数器的电路 7.13.3 使用VHDL的顺序语句描述寄存器和计数器 7.14 设计实例 7.14.1 总线结构 7.14.2 简单的处理器 7.14.3 反应计时器 7.15 小结 习题 参考文献第8章 同步时序电路 8.1 基本设计步骤 8.1.1 状态图 8.1.2 状态表 8.1.3 状态分配 8.1.4 选

择触发器得到次态和输出表达式 8.1.5 时序图 8.1.6 设计步骤小结 8.2 状态分配问题 8.2.1 一热态位编码 8.3 Mealy状态模型 8.4 用CAD工具设计有限状态机 8.4.1 用VHDL描述Moore型有限状态机 8.4.2 VHDL代码的综合 8.4.3 电路的模拟与测试 8.4.4 另一种风格的VHDL代码 8.4.5 使用CAD工具的设计步骤小结 8.4.6 用VHDL代码指定状态分配 8.4.7 用VHDL描述Mealy型有限状态机 8.5 串行加法器实例 8.5.1 串行加法器的Mealy型有限状态机 8.5.2 串行加法器的Moore型有限状态机 8.5.3 串行加法器的VHDL代码 8.6 状态最小化 8.6.1 划分最小化过程 8.6.2 不完全规定有限状态机 8.7 用时序电路的方法设计计数器 8.7.1 模8计数器的状态图和状态表 8.7.2 状态分配 8.7.3 用D触发器实现 8.7.4 用JK触发器实现 8.7.5 实例——另一种计数器 8.8 仲裁器电路的有限状态机 8.8.1 仲裁器电路的实现 8.8.2 减小状态机的输入延迟 8.8.3 小结 8.9 同步时序电路的分析 8.10 算法状态机（ASM）流程图 8.11 时序电路的形式模型 8.12 结束语 习题 参考文献第9章 异步时序电路 9.1 异步行为 9.2 异步电路分析 9.3 异步电路综述 9.4 状态化简 9.5 状态分配 9.5.1 迁移图 9.5.2 利用未指定的次态项 9.5.3 利用附加状态变量的状态分配 9.5.4 一热态位状态分配 9.6 冒险 9.6.1 静态冒险 9.6.2 动态冒险 9.6.3 冒险的影响 9.7 一个完整的设计实例 9.7.1 自动售货机控制器 9.8 本章小结 习题 参考文献第10章 数字系统设计 10.1 积木块电路 10.1.1 带使能输入的触发器和寄存器 10.1.2 带有使能输入的移位寄存器 10.1.3 静态随机的访问存储器（SRAM） 10.1.4 PLD中的SRAM模块 10.2 设计实例 10.2.1 位计数器电路 10.2.2 含有时间信息的算法状态图 10.2.3 移位加乘法器 10.2.4 除法器 10.2.5 算术平均器 10.2.6 排序操作 10.3 时钟同步 10.3.1 时钟偏移 10.3.2 触发器的时间参数 10.3.3 触发器的异步输入 10.3.4 消除开发抖动 10.4 结论 习题 参考文献第11章 逻辑电路的测试 11.1 故障模型 11.1.1 固定故障 11.1.2 单故障与多故障 11.1.3 CMOS电路 11.2 测试集的复杂性 11.3 路径敏化 11.3.1 指定故障的检测 11.4 树型结构的电路 11.5 随机测试 11.6 时序电路的测试 11.6.1 可测性设计 11.7 内建自测试 11.7.1 内建逻辑块观察器 11.7.2 名标分析 11.7.3 边界扫描 11.8 印制电路板 11.8.1 PCB的测试 11.8.2 测试设备 11.9 本章小结 习题 参考文献 附录A VHDL简介附录B 使用指南1附录C 使用指南2附录D 使用指南3附录E 商业器件附录F 英汉词汇对照表

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:http://www.tushu007.com