第一图书网, tushu007.com

<<CPU芯片逻辑设计技术>>

图书基本信息

书名：<<CPU芯片逻辑设计技术>>

13位ISBN编号：9787302097532

10位ISBN编号：7302097534

出版时间：2005-1-1

出版时间：清华大学出版社

作者：朱子玉,李亚民

页数：353

字数：527000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：http://www.tushu007.com

内容概要

本书详细介绍CPU的逻辑电路设计方法并给出实际的逻辑电路以及功能模拟结果。
全书共分十章，首先从数字逻辑和CPU逻辑电路设计开始，以MIPS体系结构中比较典型的指令为样板，讨论了单周期和多周期的CPU设计技术；然后，讨论了系统控制协处理器的设计；最后讨论了较为复杂的存储管理设计技术、中断和例外管理设计技术和流水线CPU设计技术。
书中还用MIPS汇编语言编写了用于CPU测试的简单程序，对所设计的CPU逻辑电路进行功能模拟，以验证CPU逻辑电路的正确性。
这些电路和程序以及测试波形图均在书中给出。
　本书可作为高等院校CPU逻辑设计课程的教材，也可以用做“计算机组成”课程的教学参考书。

<<CPU芯片逻辑设计技术>>

书籍目录

第1章 数字电路设计基础　1.1 布尔代数　1.2 逻辑表达式　1.2.1 真值表和逻辑化简　1.2.2 与或格式和或与格式　1.2.3 带有使能端的D触发器　1.3 逻辑门实现技术　1.3.1 晶体管开关　1.3.2 CMOS逻辑门　1.3.3 负逻辑系统　1.4 数字电路的实现方法　1.4.1 标准器件　1.4.2 用户可编程逻辑芯片--PLA,PAL,CPLD和FPGA　1.4.3 客户全定制芯片　1.4.4 客户半定制芯片--标准单元和门阵列　1.5 数字电路的开发过程　1.6 MAX+PLUS II 的使用方法　1.6.1 逻辑图输入　1.6.2 编译　1.6.3 功能模拟　1.6.4 生成电路的逻辑符号　1.7 AHDL,VerilogHDL和VHDL举例第2章 CPU逻辑电路设计概述　2.1 二进制数的大小及计算结果的溢出判断　2.2 数据在存储器中的存放和数据对齐　2.3 MIPS指令集简介　2.4 CPU逻辑电路设计简介　2.4.1 单周期CPU简介　2.4.2 多周期CPU简介　2.4.3 流水线CPU简介　2.5 存储器管理和TLB设计概述　2.5.1 虚拟地址到物理地址的转换　2.5.2 快速地址转换表TLB　2.6 高速缓存Cache设计概述　2.6.1 Cache映射　2.6.2 Cache行替换　2.6.3 写策略　2.6.4 几种MIPSCPU的Cache构成　2.7 几种典型的MIPSCPU第3章 MIPS指令　3.1 MIPS寄存器堆　3.2 指令格式　3.3 CPU指令　3.3.1 计算指令　3.3.2 数据传送(load／store)指令　3.3.3 转移及分支指令　3.3.4 协处理器指令　3.3.5 其他指令　3.4 小结第4章 常用电路.算法及电路实现　4.1 逻辑运算器　4.1.1 逻辑与　4.1.2 逻辑或　4.1.3 逻辑或非　4.1.4 逻辑异或　4.2 常用电路　4.2.1 译码器　4.2.2 数据选择器　4.3 加减法器　4.3.1 32位加法器　4.3.2 32位减法器　4.3.3 32位加减法器　4.4 乘法器　4.4.1 32位无符号乘法器　4.4.2 32位乘法器　4.4.3 乘法并行阵列　4.4.4 Booth乘法算法　4.5 除法器　4.5.1 恢复余数法　4.5.2 不恢复余数法　4.5.3 有符号除法器　4.6 移位器　4.6.1 逻辑移位　4.6.2 算术移位　4.6.3 循环移位　4.7 首0／1计数器　4.7.1 首1计数器　4.7.2 首0计数器　4.8 比较器　4.9 ALU设计　4.10 小结第5章 单周期CPU设计　5.1 指令描述　5.2 设计思路　5.2.1 R类型指令　5.2.2 I类型指令　5.2.3 J类型指令　5.3 寄存器堆设计　5.4 单周期CUP详细逻辑电路设计　5.4.1 取指令逻辑　5.4.2 指令译码逻辑　5.4.3 指令执行逻辑　5.4.4 存储器访问逻辑　5.4.5 结果写回逻辑　5.5 测试波形图　5.6 考虑延迟转移的单周期CPU设计第6章 多周期CPU设计　6.1 无延迟转移功能的CPU　6.1.1 设计思路及数据路径　6.1.2 CPU的控制信号　6.2 带有延迟转移功能的CPU　6.2.1 控制部件设计　6.2.2 数据路径设计　6.2.3 多周期CPU整体逻辑电路　6.2.4 功能模拟波形图　6.3 性能分析　6.4 小结第7章 系统控制协处理器的寄存器　7.1 CPO寄存器　7.2 CPO寄存器详细介绍　7.3 CPO寄存器实现　7.4 CPO寄存器堆读写　7.5 小结第8章 存储管理　8.1 MIPS虚拟地址空间分配　8.2 MIPSTLB概述　8.3 地址转换　8.3.1 固定地址转换　8.3.2 块地址转换　8.3.3 基于TLB的地址转换　8.4TLB 实现　8.4.1 输入输出信号　8.4.2 TLB条目实现　8.4.3 TLB实现　8.5 存储管理实现　8.5.1 数据虚拟地址转换　8.5.2 指令虚拟地址转换　8.6 小结第9章 中断和例外管理　9.1 中断　9.1.1 Rcset例外.SoftReset例外.NMI例外　9.1.2 普通外部中断　9.1.3 中断处理　9.2 例外　9.2.1 例外向量　9.2.2 通用例外处理　9.2.3 Reset例外处理　9.2.4 SoftReset例外处理　9.2.5 NMI例外　9.2.6 MCheck例外　9.2.7 TLBRefill例外　9.2.8 TLBInvalid例外　9.2.9 TLB修改例外　9.2.10 整数溢出例外　9.2.11 SystemCall例外　9.2.12 Interrupt例外　9.3 例外处理流程实现　9.3.1 例外类型　9.3.2 例外处理　9.4 小结第10章 流水线CPU设计　10.1 流水线寄存器　10.2 流水线CPU的指令相关问题　10.2.1 指令相关的类型　10.2.2 指令相关的解决方法　10.3 流水线CPU实现　10.3.1 IF阶段　10.3.2 ID阶段　10.3.3 EXE阶段　10.3.4 MEM阶段　10.3.5 WB阶段　10.4 系统和测试　10.4.1 中断程序　10.4.2 测试程序及数据　10.4.3 测试结果　10.5 Cache设计　10.5.1 Cache的组成结构　10.5.2 Cache操作　10.5.3 Cache实现　10.5.4 带Cache的流水线CPU设计　10.5.5 测试结果　10.6 小结参考文献索引图索引表索引

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:http://www.tushu007.com