

<<TMS320C54x系列DSP的CPU与外设>>

图书基本信息

书名：<<TMS320C54x系列DSP的CPU与外设>>

13位ISBN编号：9787302132219

10位ISBN编号：7302132216

出版时间：2006-9

出版时间：清华大学出版社

作者：美国德州仪器公司

页数：440

字数：636000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<TMS320C54x系列DSP的CPU与>>

内容概要

本书以美国TI公司的TMS320C54x系列DSP为描述对象。

TMS320C54x系列是定点的数字信号处理器（DSP）。

本书详细介绍了该系列DSP体系结构中的各个部分，包括总线结构、存储器、中央处理单元（CPU）、寻址方式、直接存储器访问（DMA）控制器、流水线操作、片内外设、主机接口、串行接口、外部总线操作等。

C54x DSP满足了实时嵌入式应用的一些要求，尤其适用于电信方面的应用。

本书可供电子与电气工程、自动控制、计算机应用和仪器仪表等领域从事DSP应用系统开发的科研和工程技术人员参考，也可供相关专业的教师和研究生、本科生参考。

<<TMS320C54x系列DSP的CPU与>>

书籍目录

第1章 绪论	1.1 TMS320系列DSP简介	1.1.1 TMS320系列DSP的历史、发展和优势	1.1.2
TMS320系列DSP的典型应用	1.2 TMS320C54x DSP简介	1.3 TMS320C54x DSP的主要特征	第2
第2章 TMS320C54x DSP体系结构总体介绍	2.1 总线结构	2.2 内部存储器组织	2.2.1 片
内ROM	2.2.2 片内双存取RAM (DARAM)	2.2.3 片内单存取RAM (SARAM)	2.2.4
片内双向共享RAM	2.2.5 片内存储器保护	2.2.6 存储器映射寄存器	2.3 中央处理单元
(CPU)	2.3.1 算术逻辑运算单元 (ALU)	2.3.2 累加器	2.3.3 桶形移位器
2.3.4 乘法器/加法器单元	2.3.5 比较、选择和存储单元 (CSSU)	2.4 数据寻址	2.5 程
序存储器寻址	2.6 流水线操作	2.7 片内外设	2.7.1 通用的I/O引脚
程等待状态产生器	2.7.2 软件可	2.7.3 可编程的块切换逻辑	2.7.2 软件可
2.7.4 硬件定时器	2.7.5 时钟产生器	2.7.6 直接存储器访问 (DMA) 控制器	2.7.5 时钟产生器
2.7.7 主机接口 (HPI)	2.8 串行口	2.7.7 主机接口 (HPI)	2.8 串行口
步串口	2.8.1 同	2.8.2 缓冲串口 (BSP)	2.8.1 同
(TDM) 串口	2.8.2 缓冲串口 (BSP)	2.8.3 多通道缓冲串口 (McBSP)	2.8.4 时分复用
空间	2.9 外部总线接口	2.10 IEEE 1149.1扫描逻辑标准	第3章 存储器
器地址映射和片内ROM内容	3.1 存储	3.2.1 程序存储器配置	3.1 存储
数据存储器	3.2 程序存储器	3.2.2 片内ROM组织	3.2.3 程序存
3.3.1 数据存储器配置	3.2.1 程序存储器配置	3.2.5 扩展程序存储器	3.3
3.3.4 CPU存储器映射寄存器	3.2.4 片内ROM代码内容和映射	3.3.3 存储器映射寄存器	3.3
(CPU)	3.3.1 数据存储器配置	3.3.3 存储器映射寄存器	3.3
状态寄存器 (PMST)	3.4 I/O存储器	3.5 程序和数据安全保护	第4章 中央处理器
4.2.2 溢出处理	4.1 CPU状态与控制寄存器	4.1.1 状态寄存器 (ST0与ST1)	4.1.2 处理器模式
累加器的内容	4.2 算术逻辑单元 (ALU)	4.2.1 算术逻辑单元 (ALU) 的输入	4.1.2 处理器模式
专用指令	4.2.1 算术逻辑单元 (ALU) 的输入	4.2.2 溢出处理	4.2.1 算术逻辑单元 (ALU) 的输入
(MAC) 指令	4.2.2 溢出处理	4.2.3 进位位	4.2.2 溢出处理
4.7 指数编码器	4.2.3 进位位	4.2.4 双16位模式	4.2.3 进位位
(k)寻址	4.2.4 双16位模式	4.3 累加器	4.2.4 双16位模式
5.3 累加器寻址	4.3 累加器	4.3.1 存储	4.3 累加器
5.4.2 以堆栈指针 (SP) 为基准的直接寻址	4.3.1 存储	4.3.2 累加器存储的饱和和处理	4.3.1 存储
5.5.2 辅助寄存器算术单元 (ARAU) 和地址产生操作	4.3.2 累加器存储的饱和和处理	4.3.3 累加器输入来源	4.3.2 累加器存储的饱和和处理
操作数地址修改	4.3.3 累加器输入来源	4.5.1 乘法器输入来源	4.3.3 累加器输入来源
存储器访问的数据类型	4.5.1 乘法器输入来源	4.5.2 乘/累加	4.5.1 乘法器输入来源
跳转	4.5.2 乘/累加	4.6 比较、选择和存储单元 (CSSU)	4.5.2 乘/累加
6.4.2 条件调用	4.6 比较、选择和存储单元 (CSSU)	4.6 比较、选择和存储单元 (CSSU)	4.6 比较、选择和存储单元 (CSSU)
程返回	4.6.1 无条件跳转	4.6.2 条件跳转	4.6.1 无条件跳转
指令	4.6.2 条件跳转	4.6.3 远程跳转	4.6.2 条件跳转
寄存器 (IFR)	4.6.3 远程跳转	4.6.4 调用	4.6.3 远程跳转
确认中断	4.6.4 调用	4.6.4.1 无条件调	4.6.4 调用
6.10.8 中断操作总结	4.6.4.1 无条件调	4.6.4.2 条件返回	4.6.4.1 无条件调
(Power-Down)	4.6.4.2 条件返回	4.6.5 返回	4.6.4.2 条件返回
(HOLD) 模式	4.6.5 返回	4.6.5.1 无条件返回	4.6.5 返回
述	4.6.5.1 无条件返回	4.6.5.2 条件返回	4.6.5.1 无条件返回
7.2 DMA操作和配置	4.6.5.2 条件返回	4.6.6 条件执行指令 (XC)	4.6.5.2 条件返回
7.2.1 寄存器子寻址方式	4.6.6 条件执行指令 (XC)	4.6.6.1 多个条件的使用	4.6.6 条件执行指令 (XC)
7.2.3 通道现场 (channel-context) 寄存器	4.6.6.1 多个条件的使用	4.6.6.2 条件执行指令 (XC)	4.6.6.1 多个条件的使用
C5402 DMA存储器映射	4.6.6.2 条件执行指令 (XC)	4.6.6.3 条件存	4.6.6.2 条件执行指令 (XC)
传送延迟	4.6.6.3 条件存	4.6.7 复位操作	4.6.6.3 条件存
节电模式下的DMA操作	4.6.7 复位操作	4.6.8 指令块重复操作	4.6.7 复位操作
令	4.6.8 指令块重复操作	4.6.9 中断	4.6.8 指令块重复操作
8.1.2 流水线中的调用指令	4.6.9 中断	4.6.10.1 中断标志	4.6.9 中断
8.1.3 流水线中的返回指令	4.6.10.1 中断标志	4.6.10.2 中断屏蔽寄存器 (IMR)	4.6.10.1 中断标志
8.1.5 流水线中的条件调用指令和条件跳转指令	4.6.10.2 中断屏蔽寄存器 (IMR)	4.6.10.3 阶段1: 接收中断请求	4.6.10.2 中断屏蔽寄存器 (IMR)
	4.6.10.3 阶段1: 接收中断请求	4.6.10.4 阶段2:	4.6.10.3 阶段1: 接收中断请求
	4.6.10.4 阶段2:	4.6.10.5 阶段3: 执行中断服务程序 (ISR)	4.6.10.4 阶段2:
	4.6.10.5 阶段3: 执行中断服务程序 (ISR)	4.6.10.6 中断现场保护	4.6.10.5 阶段3: 执行中断服务程序 (ISR)
	4.6.10.6 中断现场保护	4.6.10.7 中断延迟	4.6.10.6 中断现场保护
	4.6.10.7 中断延迟	4.6.10.8 中断操作总结	4.6.10.7 中断延迟
	4.6.10.8 中断操作总结	4.6.10.9 重新映射中断向量地址	4.6.10.8 中断操作总结
	4.6.10.9 重新映射中断向量地址	4.6.10.10 中断表	4.6.10.9 重新映射中断向量地址
	4.6.10.10 中断表	4.6.11 节电模式	4.6.10.10 中断表
	4.6.11 节电模式	4.6.11.1 IDLE1模式	4.6.11 节电模式
	4.6.11.1 IDLE1模式	4.6.11.2 IDLE2模式	4.6.11.1 IDLE1模式
	4.6.11.2 IDLE2模式	4.6.11.3 IDLE3模式	4.6.11.2 IDLE2模式
	4.6.11.3 IDLE3模式	4.6.11.4 保持	4.6.11.3 IDLE3模式
	4.6.11.4 保持	4.6.11.5 其他降低功耗的性能	4.6.11.4 保持
	4.6.11.5 其他降低功耗的性能	第7章 直接存储器访问 (DMA) 控制器	4.6.11.5 其他降低功耗的性能
	第7章 直接存储器访问 (DMA) 控制器	7.1 DMA概	第7章 直接存储器访问 (DMA) 控制器
	7.1 DMA概	7.2 DMA操作和配置	7.1 DMA概
	7.2 DMA操作和配置	7.2.1 寄存器子寻址方式	7.2 DMA操作和配置
	7.2.1 寄存器子寻址方式	7.2.2 DMA通道优先级和使能控制寄存器	7.2.1 寄存器子寻址方式
	7.2.2 DMA通道优先级和使能控制寄存器	7.2.3 通道现场 (channel-context) 寄存器	7.2.2 DMA通道优先级和使能控制寄存器
	7.2.3 通道现场 (channel-context) 寄存器	7.3 扩展寻址	7.2.3 通道现场 (channel-context) 寄存器
	7.3 扩展寻址	7.4 DMA存储器映射	7.3 扩展寻址
	7.4 DMA存储器映射	7.4.1	7.4 DMA存储器映射
	7.4.1	7.4.2 C5410 DMA存储器映射	7.4.1
	7.4.2 C5410 DMA存储器映射	7.4.3 C5420 DMA存储器映射	7.4.2 C5410 DMA存储器映射
	7.4.3 C5420 DMA存储器映射	7.5 DMA	7.4.3 C5420 DMA存储器映射
	7.5 DMA	7.6 通过DMA控制器的增强型主机接口的访问	7.5 DMA
	7.6 通过DMA控制器的增强型主机接口的访问	7.7 C5420中处理器之间的FIFO通信	7.6 通过DMA控制器的增强型主机接口的访问
	7.7 C5420中处理器之间的FIFO通信	7.8	7.7 C5420中处理器之间的FIFO通信
	7.8	7.9 编程实例	7.8
	7.9 编程实例	第8章 流水线	7.9 编程实例
	第8章 流水线	8.1 流水线操作	第8章 流水线
	8.1 流水线操作	8.1.1 流水线中的跳转指	8.1 流水线操作
	8.1.1 流水线中的跳转指	8.1.2 流水线中的调用指令	8.1.1 流水线中的跳转指
	8.1.2 流水线中的调用指令	8.1.3 流水线中的返回指令	8.1.2 流水线中的调用指令
	8.1.3 流水线中的返回指令	8.1.4 流水线中的条件执行指令	8.1.3 流水线中的返回指令
	8.1.4 流水线中的条件执行指令	8.2 中断和流水线	8.1.4 流水线中的条件执行指令
	8.2 中断和流水线	8.3 双存取存储器和流水	8.2 中断和流水线
	8.3 双存取存储器和流水		8.3 双存取存储器和流水

<<TMS320C54x系列DSP的CPU与>>

线	8.3.1 解决取指令和读操作数之间的冲突	8.3.2 写操作数和读双操作数之间的冲突	8.3.3
解决写操作数和读双操作数之间的冲突	8.4 单存取存储器和流水线	8.5 流水线延迟	8.5.1 访问
存储器映射寄存器的推荐指令	8.5.2 修改ARx、BK或SP——一个可以自动解决的冲突		8.5.3 确
定DAGEN寄存器访问冲突的规则	8.5.4 ARx和BK的延迟	8.5.5 堆栈指针的延迟	8.5.6 暂存
器T的延迟	8.5.7 访问状态寄存器的延迟	8.5.8 块重复循环的延迟	8.5.9 PMST的延迟
8.5.10 对累加器进行存储器映射访问的延迟	第9章 片内外设	9.1 有效的片内外设	9.2 外设中的有
存储器映射寄存器	9.3 通用的I/O引脚	9.3.1 跳转控制输入引脚 (BIO)	9.3.2 外部标志输出引
脚 (XF)	9.4 定时器	9.4.1 定时器寄存器	9.4.2 定时器的操作
件配置的PLL	9.5.2 软件可编程PLL	第10章 主机接口	10.1 标准主机接口概述
机接口基本功能描述	10.1.2 标准主机接口的操作	10.1.3 主机对HPI的读/写访问	10.1.4
DSPINT和HINT功能操作	10.1.5 改变HPI存储器访问模式 (SAM/HOM) 和使用IDLE2/3的考虑		
10.1.6 在复位过程中的HPI存储器访问	10.2 增强型8位主机接口 (HPI-8)	242	10.2.1 增强型8位
主机接口 (HPI-8) 简介	242	10.2.2 HPI-8的基本功能描述	243
10.2.4 主机对HPI-8的读/写访问	10.2.5 DSPINT和HINT操作	10.2.6 改变时钟模式时HPI-8传	
送的注意事项	10.2.7 使用IDLE时的注意事项	10.2.8 复位对HPI操作的影响	10.2.9 用作通
用输入/输出引脚的HPI-8数据引脚 (不适用于C5410)	10.3 增强型16位主机接口 (HPI-16)		
10.3.1 HPI-16操作概述	10.3.2 复用模式	10.3.3 非复用模式	10.3.4 HPI-16的存储器映射
10.3.5 HPI-16与DMA的相互作用	10.3.6 复位时HPI-16的操作	10.3.7 IDLEn期间的HPI-16	
操作	10.3.8 影响HPI-16的DSP时钟模式变化	第11章 串行口	11.1 串行口简介
11.2.1 串行口寄存器	11.2.2 串行口操作	11.2.3 串行口配置	11.2.4 突发模式下的发送和
接收操作	11.2.5 连续模式下的发送和接收操作	11.2.6 串行口故障条件	11.2.7 串口操作的
实例	11.3 缓冲串口 (BSP)	11.3.1 标准模式下的BSP操作	11.3.2 自动缓冲单元 (ABU) 操作
11.3.3 BSP操作的系统考虑	11.3.4 缓冲区未对准中断 (BMINT) (仅适用于C549)		11.3.5
节电 (power-down) 模式的BSP操作	11.4 时分复用 (TDM) 串行接口	11.4.1 基本的时分复用操	
作	11.4.2 TDM串行接口寄存器	11.4.3 TDM串行口操作	11.4.4 TDM模式发送和接收操作
11.4.5 TDM串行口的故障条件	11.4.6 TDM串口操作实例	第12章 多通道缓冲串行口	12.1
McBSP特征	12.2 McBSP概述	12.2.1 串行口结构	12.2.2 接收和发送控制寄存器: RCR[1,2]
和XCR[1,2]	12.3 数据的发送和接收流程	12.3.1 串口复位: (R/X) RST和RESET	12.3.2 确
定准备就绪状态	12.3.3 CPU中断: (R/X) INT	12.3.4 帧和时钟的配置	12.3.5 McBSP标准操
作	12.3.6 帧同步忽略	12.3.7 串口错误条件	12.3.8 接收数据调整和符号扩展: RJUST
律/A律压扩硬件操作: (R/X) COMPAND	12.4.1 压扩内部数据	12.4.2 位排序	12.5 可编程
的时钟和帧信号	12.5.1 采样率产生器的时钟与帧信号	12.5.2 数据时钟的产生	12.5.3 帧同
步信号的产生	12.5.4 定时举例	12.6 多通道选择操作	12.6.1 多通道操作控制寄存器
使能多通道选择	12.6.3 通道的使能和屏蔽	12.6.4 A-bis接口功能 (仅适用于C5410)	12.7 SPI
协议: McBSP时钟停止模式	12.7.1 时钟停止模式配置和信号描述	12.7.2 作为SPI主设备	
的McBSP操作	12.7.3 作为SPI从设备的McBSP操作	12.7.4 SPI模式的McBSP初始化	12.8 仿
真Free和Soft位	12.9 McBSP引脚用作通用I/O	12.10 节电模式下McBSP的操作	12.11 McBSP编程代码
实例	第13章 外部总线操作	13.1 外部总线接口	13.2 外部总线优先级
等待状态产生器	13.2 块切换逻辑	13.4 外部总线接口时序	13.4.1 存储器存取时序
I/O存取时序	13.4.3 存储器和I/O存取时序	13.5 启动存取时序	13.5.1 复位
13.6 保持模式	13.6.1 保持模式期间的中断	13.6.2 保持模式和复位	13.7 增强型外部总线接
口	13.7.1 增强型外部并行接口 (XIO2) 简介	13.7.2 总线时序	第14章 处理器之间的通信
多核DSP内部的通信	14.2 双向FIFO	14.3 从外部存储器空间访问HPI-16	14.4 使用McBSP的子系统
通信	14.5 处理器之间的中断	附录A 使用XDS510仿真器时的设计考虑	附录B 开发支持和零件订购信息
附录C 向TI提交ROM代码	参考文献		

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>