

## <<CPLD/FPGA的开发与应用>>

### 图书基本信息

书名：<<CPLD/FPGA的开发与应用>>

13位ISBN编号：9787505369092

10位ISBN编号：7505369091

出版时间：2002-1-1

出版时间：电子工业出版社

作者：徐志军,徐光辉

页数：315

字数：494

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## <<CPLD/FPGA的开发与应用>>

### 内容概要

CPLD/FPGA是目前应用最为广泛的两种可编程专用集成电路（ASIC），特别适合于产品的样品开发与小批量生产。

本书从现代电子系统设计的角度出发，以全球著名的可编程逻辑器件供应商Xilinx公司的产品为背景，系统全面地介绍该公司的CPLD/FPGA产品的结构原理、性能特点、设计方法以及相应的EDA工具软件，重点介绍CPLD/FPGA在数字系统设计、数字通信与数字信号处理等领域中的应用。

本书内容新颖、技术先进、由浅入深，既有关于大规模可编程逻辑器件的系统论述，又有丰富的设计应用实例。

对于从事各类电子系统（通信、雷达、程控交换、计算机等）设计的科研人员和应用设计工程师，这是一本具有实用价值的新技术应用参考书。

本书也可作为高等院校电子类高年级本科生或研究生的教材或教学参考书。

?

书籍目录

第1章 可编程ASIC与EDA技术

- 1.1 电子系统设计与ASIC技术
  - 1.1.1 电子系统的设计方法
  - 1.1.2 ASIC的特点及其设计流程
  - 1.1.3 ASIC不同设计方法的特点
- 1.2 EDA技术的基本特征和工具
  - 1.2.1 EDA技术的范畴
  - 1.2.2 EDA技术的基本特征
  - 1.2.3 EDA的基本工具
- 1.3 可编程ASIC及其特点
  - 1.3.1 可编程ASIC简介
  - 1.3.2 可编程ASIC的主要特点
  - 1.3.3 可编程ASIC的发展趋势

第2章 Xilinx CPLD系列器件

- 2.1 简介
  - 2.1.1 XC9500系列CPLD器件
  - 2.1.2 XPLA系列CPLD器件
- 2.2 XC9500系列器件的结构
  - 2.2.1 功能块
  - 2.2.2 宏单元
  - 2.2.3 乘积项分配器
  - 2.2.4 FastCONNECT开关矩阵
  - 2.2.5 输入输出块
  - 2.2.6 持续性
  - 2.2.7 低功率模式
  - 2.2.8 加电特性
- 2.3 XPLA系列器件的结构
  - 2.3.1 逻辑块
  - 2.3.2 宏单元
  - 2.3.3 输入输出单元
  - 2.3.4 简单时序模型
  - 2.3.5 摆率控制
- 2.4 Xilinx CPLD器件的命名

第3章 Xilinx FPGA系列器件

- 3.1 简介
  - 3.1.1 XC4000/Spartan系列器件
  - 3.1.2 Virtex/Virtex-E系列器件
- 3.2 Spartan系列器件的结构
  - 3.2.1 可配置逻辑块 (CLB)
  - 3.2.2 输入输出块 (IOB)
  - 3.2.3 快速进位逻辑
- 3.3 Spartan系列FPGA器件的配置
  - 3.3.1 分布式RAM
  - 3.3.2 配置和测试
- 3.4 Virtex系列FPGA器件的结构

## <<CPLD/FPGA的开发与应用>>

- 3.4.1 Virtex阵列
- 3.4.2 输入输出块 ( IOB )
- 3.4.3 可配置逻辑块 ( CLB )
- 3.4.4 时钟分布

### 第4章 CPLD/FPGA的边界扫描测试

- 4.1 引言
- 4.2 IEEE 1149.1边界扫描测试的结构
- 4.3 JTAG BST操作控制
  - 4.3.1 抽样/预加载 ( SAMPLE/PRELOAD ) 指令模式
  - 4.3.2 外测试 ( EXTEST ) 指令模式
  - 4.3.3 旁路 ( BYPASS ) 指令模式
  - 4.3.4 用户码 ( USRCODE ) 指令模式
  - 4.3.5 ID码 ( IDCODE ) 指令模式
- 4.4 Xilinx器件的边界扫描
  - 4.4.1 数据寄存器 ( Data Register )
  - 4.4.2 指令集 ( Instruction Set )
  - 4.4.3 位顺序 ( Bit Sequence )
  - 4.4.4 在设计中插入边界扫描
- 4.5 边界扫描描述语言 ( BSDL )
- 4.6 Xilinx器件下载
  - 4.6.1 MultiLINUX下载电缆
  - 4.6.2 Xchecker下载电缆
  - 4.6.3 并行下载电缆
- 4.7 Altera与Lattice公司CPLD下载电路

### 第5章 Xilinx Foundation应用基础

- 5.1 Xilinx Foundation简介
- 5.2 安装Xilinx Foundation
  - 5.2.1 系统需求
  - 5.2.2 安装与卸载
  - 5.2.3 授权文件 ( LICENSE.DAT )
- 5.3 Foundation应用入门
  - 5.3.1 工具栏
  - 5.3.2 菜单命令
- 5.4 Foundation设计流程
  - 5.4.1 原理图方式设计流程
  - 5.4.2 HDL方式设计流程
- 5.5 设计实例
  - 5.5.1 HDL流程方式设计向导
  - 5.5.2 原理图流程方式设计向导

### 第6章 Foundation高级应用

- 6.1 设计输入
  - 6.1.1 HDL ( 硬件描述语言 ) 输入方式
  - 6.1.2 FSM ( 状态机 ) 输入方式
  - 6.1.3 Schematic ( 原理图 ) 输入方式
- 6.2 功能仿真和时序仿真
  - 6.2.1 功能仿真
  - 6.2.2 时序仿真

## &lt;&lt;CPLD/FPGA的开发与应用&gt;&gt;

- 6.3 LogiBLOX的应用
- 6.4 引脚锁定与器件下载编程
  - 6.4.1 引脚锁定
  - 6.4.2 CPLD器件的编程下载
- 第7章 VHDL语言简介
  - 7.1 概述
  - 7.2 VHDL语言的基本结构
    - 7.2.1 VHDL语言基本单元及其构成
    - 7.2.2 VHDL语言构造体的子结构描述
    - 7.2.3 包集合、库及配置
    - 7.2.4 VHDL的常用语句
  - 7.3 VHDL语言的数据类型及运算操作符
    - 7.3.1 VHDL语言的客体及其分类
    - 7.3.2 VHDL语言的数据类型
    - 7.3.3 VHDL语言的运算操作符
  - 7.4 常用电路的VHDL描述
- 第8章 CPLD/FPGA在数字系统设计中的应用
  - 8.1 半整数分频器
    - 8.1.1 小数分频的基本原理
    - 8.1.2 电路组成
    - 8.1.3 VHDL程序
    - 8.1.4 仿真波形
  - 8.2 MIDI音乐发生器
    - 8.2.1 音名与频率的关系
    - 8.2.2 音长的控制
    - 8.2.3 演奏时音名的动态显示
    - 8.2.4 Verilog HDL程序
    - 8.2.5 下载验证
  - 8.3 实用多功能电子表
    - 8.3.1 功能描述
    - 8.3.2 电路组成
    - 8.3.3 Verilog HDL程序
    - 8.3.4 下载验证
  - 8.4 实用交通灯
    - 8.4.1 引脚定义
    - 8.4.2 内部结构
    - 8.4.3 VHDL程序
    - 8.4.4 设计说明
    - 8.4.5 仿真波形
  - 8.5 实用电梯控制器
    - 8.5.1 外部接口
    - 8.5.2 内部结构
    - 8.5.3 VHDL程序
    - 8.5.4 设计说明
- 第9章 CPLD/FPGA在通信领域的应用
  - 9.1 2FSK/2PSK信号产生器
    - 9.1.1 2FSK基本原理

## &lt;&lt;CPLD/FPGA的开发与应用&gt;&gt;

- 9.1.2 2FSK信号产生器
- 9.1.3 2FSK/2PSK信号产生器
- 9.1.4 VHDL程序
  - 9.1.5 仿真波形
- 9.2 位同步信号的提取
  - 9.2.1 微分整流型数字锁相位同步法原理
  - 9.2.2 CPLD器件实现位同步的基本原理
  - 9.2.3 性能改进
  - 9.2.4 外部接口
  - 9.2.5 VHDL程序
- 9.3 循环冗余校验 (CRC)
  - 9.3.1 基本原理
  - 9.3.2 外部接口
  - 9.3.3 内部结构
  - 9.3.4 Verilog HDL程序
  - 9.3.5 程序说明
  - 9.3.6 仿真波形
- 9.4 PCM采编器
  - 9.4.1 基本原理
  - 9.4.2 PCM采编器的实现
  - 9.4.3 VHDL程序
  - 9.4.4 仿真波形
- 9.5 Gold码产生器
  - 9.5.1 DS-SS系统中的PN序列
  - 9.5.2 LFSR的实现结构
  - 9.5.3 Gold码产生器
  - 9.5.4 VHDL程序
- 9.6 CDMA匹配滤波器
  - 9.6.1 匹配滤波器原理
  - 9.6.2 简单匹配滤波器的结构
  - 9.6.3 倒置型FIR滤波器
  - 9.6.4 并行匹配滤波器
  - 9.6.5 折叠滤波器
  - 9.6.6 VHDL程序
- 第10章 CPLD/FPGA在DSP领域的应用
  - 10.1 快速加法器的设计
    - 10.1.1 串联加法器与并行加法器
    - 10.1.2 流水线结构
    - 10.1.3 流水线加法器
    - 10.1.4 Verilog HDL程序
    - 10.1.5 性能对比
  - 10.2 快速乘法器的设计
    - 10.2.1 硬件乘法器的基本原理
    - 10.2.2 一种实用的硬件乘法器
    - 10.2.3 VHDL程序
    - 10.2.4 性能分析
  - 10.3 图像解码中IDCT变换的实现

## <<CPLD/FPGA的开发与应用>>

- 10.3.1 DCT/IDCT的基本原理
- 10.3.2 二维IDCT的FPGA实现
  - 10.3.3 Verilog HDL程序
  - 10.3.4 实现结果
- 第11章 CPLD/FPGA在微机系统领域的应用
  - 11.1 存储器设计
    - 11.1.1 静态随机存储器SRAM
    - 11.1.2 堆栈
  - 11.2 PS/2键盘接口逻辑设计
  - 11.3 MCS-51单片机与CPLD/FPGA接口逻辑设计
    - 11.3.1 总线方式
    - 11.3.2 独立方式
  - 11.4 VGA显示器彩条信号发生器
    - 11.4.1 基本原理
    - 11.4.2 VHDL程序
    - 11.4.3 适配下载验证
  - 11.5 RS232通信方式控制电子琴
    - 11.5.1 基本原理
    - 11.5.2 VHDL程序
    - 11.5.3 适配下载验证
  - 11.6 可编程8255并行I/O接口芯片的设计
    - 11.6.1 8255芯片外部接口
    - 11.6.2 8255芯片内部结构
    - 11.6.3 8255控制字及工作方式
    - 11.6.4 VHDL程序
- 附录 GW48型EDA实验开发系统使用介绍
  - A . GW48-CK教学实验系统使用介绍
  - B . 实验电路结构图
  - C . GW48系统结构图信号名与芯片引脚对照表
- 参考文献

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>