第一图书网, tushu007.com

<<CPLD系统设计技术入门与应用>>

图书基本信息

书名：<<CPLD系统设计技术入门与应用>>

13位ISBN编号：9787505375017

10位ISBN编号：7505375016

出版时间：2002-3-1

出版时间：电子工业出版社

作者：黄正谨,徐坚,章小丽,熊明珍

页数：352

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：http://www.tushu007.com

内容概要

本书定位于复杂可编程逻辑器件的系统设计技术,以ALTERA公司的系列芯片和相应的开发软件为目标载体进行阐述.本书从系统设计的角度详尽地阐述了ALTERA主要系列的PLD芯片的结构和特点以及相应的开发软件MAX+PlusII和Quartus的使用。
同时,本书以大量新颖而详尽的设计实例为基础,着重描述了数字系统设计的系统级设计方法,并且从数字系统设计的完整性的角度对数字系统设计的重要性,数字系统的可测性和数字系统的可靠设计作了初步的探讨. 本书不仅可作为相关专业的各个层次的学生,教师的参考书与实验指导书,同时也可作硬件系统设计人员掌握最新技术的实用参考书.

书籍目录

第一篇 CPLD概述
第1章 CPLD与FPGA
1.1 CPLD的基本结构与发展概况
1.1.1 SPLD的基本结构
1.1.2 CPLD的结构特点
1.1.3 CPLD的编程工艺
1.2 FPGA的基本结构与发展概况
1.2.1 门阵列简介
1.2.2 FPGA的基本结构
1.2.3 FPGA的编程
1.3 CPLD和FPGA的新概念
1.3.1 CPLD的在系统编程技术
1.3.2 片内存储器和其他片内逻辑
1.3.3 低电压、低功耗系列芯片
1.3.4 IP的使用和嵌入式模块
1.3.5 混合编程技术
1.4 CPLD和FPGA的选用
1.4.1 逻辑单元
1.4.2 互连
1.4.3 编程工艺
第2章 ALTERA系列CPLD
2.1 ALTERA系列CPLD和FPGA简介
2.1.1 可编程片上系统解决方案
2.1.2 APEX系列器件
2.1.3 FLEX系列器件
2.1.4 MAX系列器件
2.1.5 ACEX系列器件
2.1.6 配置器件
2.2 ALTERA系列CPLD和FPGA的结构
2.2.1 Classic系列
2.2.2 MAX系列
2.2.3 FLEX系列
2.2.4 ACEX系列
2.2.5 APEX系列
2.2.6 小结
第3章 ALTERA系列CPLD的特点及使用
3.1 ALTERA系列库和IP核
3.1.1 IP核
3.1.2 LPM
3.2 器件编程与配置
3.2.1 编程硬件
3.2.2 编程/配置模式
第二篇 VHDL编程技术
第4章 VHDL基本结构与语法
4.1 VHDL程序基本结构

4.1.1 实体
4.1.2 结构体
4.2 VHDL语言要素
4.2.1 标识符
4.2.2 数据对象
4.2.3 数据类型
4.2.4 运算符
4.2.5 VHDL的属性
4.3 VHDL基本描述方法
4.3.1 顺序语句
4.3.2 并行语句
4.4 常用电路描述
4.4.1 加法器(全加器、BCD码加法器)
4.4.2 译码器
4.4.3 编码器
4.4.4 比较器
4.4.5 数据选择器
4.4.6 奇偶校验电路
4.4.7 三态输出电路
4.4.8 同步化电路
4.4.9 移位寄存器
4.4.10 M=60的计数器
4.4.11 堆栈(stack)
第5章 VHDL程序设计进阶
5.1 库、程序包、子程序和子程序重载
5.1.1 库
5.1.2 程序包
5.1.3 子程序
5.1.4 子程序重载
5.1.5 决断函数
5.2 结构VHDL
5.2.1 元件及元件例化
5.2.2 配置
5.3 有限状态机
第6章 逻辑综合和实现
6.1 可综合的VHDL设计特点
6.1.1 编码提示
6.1.2 设计要点
6.2 SYNOPSYS综合过程
6.2.1 概述
6.2.2 行为级综合的概念
6.2.3 行为级描述的局限性
6.2.4 示例
6.2.5 Synopsys行为综合工具
第三篇 软件操作
第7章 MAX+plusII基本操作
7.1 MAX+plusII概述

7.1.1 MAX+plusII10.0(Baseline)的功能
7.1.2 系统要求
7.2 MAX+plusII10.0的安装
7.2.1 MAX+plusII10.0的安装
7.2.2 MAX+plusII10.0的第一次运行
7.3 MAX+plusII的设计过程
7.4 图形输入的设计过程
7.4.1 项目建立与图形输入
7.4.2 项目编译
7.4.3 项目检验
7.4.4 目标器件选择与管脚锁定
7.4.5 器件编程/配置
7.5 工具条和常用菜单选项说明
7.6 图形的层次化设计及BUS使用
7.6.1 层次化设计
7.6.2 BUS使用
7.7 语言描述输入法
7.8 混合设计输入
7.9 使用LPM及FLEX10K中的RAM
7.9.1 LPM(可调参数元件)的使用
7.9.2 FLEX10K中RAM的使用
7.10 常见错误及处理方法
第8章 MAX+plusII设计进阶
8.1 项目层次结构与文件系统
8.1.1 项目层次结构
8.1.2 文件系统
8.2 功能库和IP核的使用
第9章 设计综合与器件配置
9.1 设计综合选择项
9.1.1 器件选择，资源和探测分配
9.1.2 反向注释
9.1.3 全局项目器件选择项
9.1.4 全局项目参数
9.1.5 全局项目定时要求
9.1.6 全局项目逻辑综合
9.2 器件配置 240 9.2.1 简介
9.2.2 使用Flash Memory配置PLD
第10章 Quartus II设计流程
10.1 Quartus II软件概述及安装
10.1.1 Quartus II概述
10.1.2 Quartus II的功能
10.1.3 系统安装要求
10.1.4 Quartus II软件安装
10.2 设计输入
10.3 设计编译
10.4 设计定时分析
10.5 设计仿真

10.6 器件编程
第四篇 数字系统设计方法及范例
第11章 数字系统设计方法
11.1 数字系统基本结构与模型
11.1.1 数字系统的基本概念
11.1.2 数字系统的基本模型
11.2 数字系统设计方法论
11.2.1 自顶向下设计方法
11.2.2 设计验证
11.3 自顶向下的设计方法
11.3.1 分离的控制器和体系结构
11.3.2 锤炼体系结构和控制算法
第12章 数字系统设计的重用性、可测性和可靠性
12.1 数字系统设计的重用性
12.1.1 概述
12.1.2 针对FPGA的系统级重用要点
12.1.3 编码和综合技巧
12.1.4 验证策略
12.2 数字系统设计的可测性
12.2.1 简介
12.2.2 IEEE Std.1149.1 BST架构
12.2.3 IEEE Std.1149.1边界扫描寄存器
12.3 数字系统设计的可靠性
12.3.1 故障容错技术
12.3.2 编码检错技术
12.3.3 自检测试设计
12.3.4 电路的故障安全性和可自检性
12.3.5 事故安全设计
12.3.6 软件容错技术
第13章 测试平台的建立
13.1 概述
13.1.1 测试平台的逻辑结构
13.1.2 不同级别的测试平台
13.1.3 测试平台的优点
13.1.4 测试平台的建立方法
13.1.5 TextIO相关定义
13.2 建立测试平台
13.2.1 源代码
13.2.2 测试平台的代码
13.2.3 测试向量文件
13.2.4 测试结果
第14章 数字系统设计开发平台及范例
14.1 设计开发系统、平台简介
14.2 设计范例
14.2.1 设计实例一：自适应数字频率计
14.2.2 设计实例二：直接数字频率合成信号发生器(DDS)设计
14.2.3 设计实例三：CPU设计

14.3 展望
参考文献

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:http://www.tushu007.com