第一图书网, tushu007.com

<<Verilog HDL高级数字设计>>

图书基本信息

书名：<<Verilog HDL高级数字设计>>

13位ISBN编号：9787505399174

10位ISBN编号：7505399179

出版时间：2005-1-1

出版时间：电子工业出版社

作者：Michael D.Ciletti,李锵,张雅绮

页数：710

字数：1291000

译者：李锵,张雅绮

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：http://www.tushu007.com

第一图书网, tushu007.com

<<Verilog HDL高级数字设计>>

内容概要

本书通过大量完整的实例讲解了使用VerilogHDL进行超大规模集成电路设计的结构化建模方法、关键步骤和设计验证方法等实用内容。
全书共分11章，涵盖了建模、结构平衡、功能验证、故障模拟和逻辑综合等关键问题，还有后综合设计确认、定时分析及可测性设计等内容。
本书结构清晰，内容组织合理、适合于计算机机、电子等相关专业本科高年级学生或研究生课程，同时也通用于学习VerilogHDL及其在现代集成电路设计流中的应用感举的专业人员。

第一图书网, tushu007.com

<<Verilog HDL高级数字设计>>

书籍目录

第1章 数字设计方法概论 1.1 设计方法简介 1.1.1 设计规范 1.1.2 设计划分 1.1.3 设计输入 1.1.4 仿真与功能验证 1.1.5 设计整合与验证 1.1.6 预综合结束 1.1.7 门级综合与工艺映射 1.1.8 后综合设计确认 1.1.9 后综合定时验证 1.1.10 测试生成与故障模拟 1.1.11 布局与布线 1.1.12 校验物理和电气设计规则 1.1.13 提取寄生参量 1.1.14 设计结束 1.2 IC 艺选择 1.3 后续内容概览 参考文献第2章 组合逻辑设计回顾 2.1 组合逻辑与布尔代数 2.1.1 ASIC库单元 2.1.2 布尔代数 2.1.3 狄摩根定律 2.2 布尔代数代简定理 2.3 组合逻辑的表示 2.3.1 积之和表示法 2.3.2 和之积表示法 2.4 布尔表达式的化简 2.4.1 异或表达式的化简 2.4.2 卡诺图(积之和形式) 2.4.3 卡诺图(积之和形式) 2.4.4 卡诺图与任意项 2.4.5 扩展和卡诺图 2.5 假信号和冒险 2.5.1 散态冒险的消除(积之和形式) ……第3章 时序逻辑设计基础第4章 Verilog逻辑设计介绍第5章 用组合与时序逻辑的行为级模型进行逻辑设计第6章 组合逻辑与时序逻辑的综合第7章 数据通路控制器的设计和综合第8章 可编程逻辑件和存储器件第9章 数字处理器的结构和算法第10章 算术处理器架构第11章 后综合设计任务附录A Verilog原语附录B Verilog关键词附录C Verilog数据类型附录D Verilog运算符附录E Backus-naur形式化语法注释附录F Verilog语言的形式化语法附录G Verilog语言的其他特点附件H 触发器和锁存器附录I Verilog 2001附录J 编程语言接口附录K 相关网站附录L 网络教程

第一图书网, tushu007.com

<<Verilog HDL高级数字设计>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:http://www.tushu007.com