

<<基于Verilog HDL的通信系统>>

图书基本信息

书名：<<基于Verilog HDL的通信系统设计>>

13位ISBN编号：9787508462882

10位ISBN编号：7508462882

出版时间：2009-4

出版时间：陈曦、邱志成、张鹏、安亮 中国水利水电出版社 (2009-04出版)

作者：陈曦等著

页数：314

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<基于Verilog HDL的通信系统>>

前言

随着电子技术的发展，当前的数字通信系统正朝着速度快、带宽大、体积小、集成度高的方向发展，并且发展极为迅猛，新技术层出不穷。

推动该浪潮的引擎就是日趋进步和完善的FPGA设计技术。

目前FPGA以其功能强大、开发周期短、投资少、可重复修改、开发工具智能以及软件可升级等特点成为通信系统领域硬件设计的首选设备。

目前全球的FPGA生产厂商Xilinx公司和Altera公司的芯片设计水平已经很高，无论从逻辑门的数量和芯片处理速度来看，都已基本能够满足高速通信数据处理的需要。

近年来，随着通信技术的发展和FPGA的普及，翔实地讲解FPGA设计技术在通信领域应用的书籍凤毛麟角，编写本书的一个重要目的就在于填补这～市场空缺。

本书力图全面、系统而深入地介绍Verilog HDL及其应用方面的相关知识，具有如下4大特色：
· 入门要求低。

本书重点讲解通信相关技术的FPGA实现，所以只需要读者拥有基本的通信背景知识即可。

· 实用性。

本书的Verilog HDL语法及开发软件章节内容深入浅出，力求只介绍最实用的内容给读者，方便读者迅速入门。

而实例部分则来源于实际项目，实用性和可操作性较强。

· 概括性。

本书内容涵盖了通信的众多领域，实例覆盖面广，在介绍实例的同时又涉及语法、开发工具中最重要的内容，是一本工具书+实例参考书的综合读物。

· 新颖性。

本书的实例多为其他图书没有涉及的内容，同时本书花费了部分篇幅专门讲解Verilog HDL的代码编程规范，以及常见的FPGA设计指导性原则，这部分资料来源于部分国内外知名公司的编程规范和硬件设计工程师的经验总结。

加入该部分内容的初衷在于力求帮助读者能够养成良好的编程习惯，因为好的编程习惯直接和代码开发效率及代码的可读性直接相关。

同时该部分中所涉及的一些硬件工程师的设计经验总结，可以较快地提高读者的工程开发能力，在以后的实际系统开发过程中起到事半功倍的效果。

<<基于Verilog HDL的通信系统>>

内容概要

《基于Verilog HDL的通信系统设计》综合几位作者多年的研究和实践经验，从Verilog HDL的基本语法知识开始，简要介绍Modelsim和Quartus软件的使用方法，再对数字信号处理关键技术的原理和实践、无线通信关键技术的原理和实践、有线通信关键技术的原理和实践进行全面的分析和介绍；最后给出FPGA的常用设计指导原则代码编写规范和实验指导。

这种结构的安排旨在提高读者的工程实践能力，使读者在设计开发、应用过程中起到事半功倍的效果。

随着电子技术的发展，当前的数字通信系统正朝着速度快、带宽大、体积小、集成度高的方向迅猛发展。

推动该浪潮迅猛发展的引擎就是日趋进步和完善的FPGA设计技术。

FPGA以其功能强大、开发周期短、投资少、可重复修改、开发工具智能以及软件可升级等特点成为通信系统领域硬件设计的先导。

《基于Verilog HDL的通信系统设计》体系完整，内容编写思路大致按照基础知识、应用实例、设计指导、代码规范和实验来完成。

《基于Verilog HDL的通信系统设计》适合作为高等院校通信、计算机专业本科生和研究生的教学用书，也可供有关技术培训及工程技术人员自学参考用。

<<基于Verilog HDL的通信系统>>

书籍目录

前言
第一部分 基础篇
第1章 Verilog的基本知识
1.1 Verilog HDL的历史
1.2 Verilog HDL和VHDL的异同
1.3 EDA技术及其应用
1.3.1 EDA技术的发展
1.3.2 现代EDA技术的特点及应用
1.3.3 EDA技术的范畴和应用
1.3.4 EDA技术的发展
1.4 IP复用技术及SOC概况
1.4.1 IP核
1.4.2 系统芯片
1.5 本章小结
第2章 常用Verilog语法
2.1 模块
2.2 标识符、关键字和注释
2.2.1 标识符
2.2.2 关键词
2.3 数字值集合
2.3.1 值的集合
2.3.2 常量
2.3.3 变量
2.4 运算符和表达式
2.4.1 逻辑运算符
2.4.2 关系运算符
2.4.3 算术运算符
2.4.4 条件运算符
2.4.5 等式运算符
2.4.6 移位运算符
2.4.7 位拼接运算符
2.4.8 位运算符
2.4.9 缩减运算符
2.4.10 优先级别
2.5 行为语句
2.5.1 过程语句
2.5.2 条件语句
2.5.3 循环语句
2.5.4 阻塞赋值和非阻塞赋值
2.6 task和function说明语句
2.6.1 任务(task)
2.6.2 函数(function)
2.6.3 任务和函数的异同
2.7 编译预处理
2.7.1 宏替换'define
2.7.2 文件包含'include
2.7.3 时间尺度'timescale
2.7.4 条件编译'ifdef、'else、'endif
2.8 本章小结
第3章 功能仿真和下载配置
3.1 ModelSim仿真工具
3.1.1 ModelSim简介
3.1.2 ModelSim基本仿真流程
3.1.3 ModelSim仿真实例
3.1.4 常用的ModelSim仿真命令介绍
3.1.5 dataflow的应用
3.1.6 ModelSim代码覆盖率查看
3.2 Quartus 的使用方法
3.2.1 Quaruts 设计实例
3.2.2 应用RTL电路图观察器
3.2.3 Altera的IP Core的使用
3.3 下载配置设计
3.3.1 配置方式介绍
3.3.2 配置过程
3.3.3 配置接口电路
3.3.4 Altera公司下载电缆介绍
3.3.5 配置芯片介绍
3.4 本章小结
第二部分 实践篇
第4章 简单逻辑电路实现
4.1 简单组合逻辑电路的Verilog.HDL实现
4.1.1 基本门电路
4.1.2 译码器
4.1.3 数据选择器
4.1.4 半加器
4.1.5 全加器
4.2 简单时序逻辑的Verilog HDL实现
4.2.1 D触发器
4.2.2 R-S触发器
4.2.3 J-K触发器
4.2.4 计数器
4.2.5 串并转换电路
4.2.6 分频器
4.3 几种常见的存储设备设计
4.3.1 RAM的VefilogHDL实现
4.3.2 ROM的Verilog HDL实现
4.3.3 FIFO的VenlogHDL实现
4.4 本章小结
第5章 数字滤波器设计
5.1 数字滤波器概述
5.1.1 数字滤波器和模拟滤波器的比较
5.1.2 数字滤波器的分类
5.1.3 数字滤波器的数学模型
5.1.4 数字滤波器的性能指标
5.2 FIR滤波器的设计与实现
5.2.1 FIR滤波器和IIR滤波器的比较
5.2.2 FIR滤波器原理与结构
5.2.3 FIR滤波器设计
5.2.4 FIR滤波器的Verilog HDL实现
5.3 IIR滤波器的设计与实现
5.3.1 IIR滤波器原理与结构
5.3.2 IIR滤波器的设计
5.3.3 IIR滤波器的VedlogHDL实现
5.4 多速率处理的设计
5.4.1 抽取的原理
5.4.2 抽取的Verilog HDL实现
5.4.3 内插的原理
5.4.4 内插的Verilog HDL实现
5.5 CIC滤波器的设计
5.5.1 CIC滤波器的基本理论
5.5.2 CIC滤波器的Verilog HDL实现
5.6 本章小结
第6章 数字调制与解调系统设计
6.1 数字调制与解调的基本原理
6.2 ASK调制与解调系统的设计
6.2.1 2.ASK调制原理
6.2.2 2-ASK调制的Verilog HDL实现
6.2.3 2.ASK解调原理
6.2.4 2-ASK解调的Verilog HDL实现
6.3 FSK调制与解调系统的设计
6.3.1 312.FSK调制原理
6.3.2 2-FSK调制的Verilog HDL实现
6.3.3 2.FSK解调原理
6.4 PSK调制与解调系统的设计
6.4.1 2-PSK调制基本原理
6.4.2 2-PSK调制的Verilog HDL实现
6.4.3 2-PSK解调原理
6.4.4 2-PSK解调的Verilog HDL实现
6.5 QPSK调制与解调系统的设计
6.5.1 QPSK调制原理
6.5.2 QPSK调制的Verilog HDL实现
6.5.3 QPSK解调
6.5.4 QPSK解调的Verilog HDL实现
6.6 PPM调制与解调系统的VerioghDL实现
6.6.1 PPM调制原理
6.6.2 PPM调制的Verilog HDL实现
6.6.3 PPM解调原理
6.6.4 PPM解调的Verilog HDL实现
6.7 本章小结
第7章 RS编译码系统设计
7.1 信道编码原理
7.1.1 信道香农定理
7.1.2 数字通信系统的组成
7.1.3 差错控制系统分类和信道编码的简介
7.2 线性分组码
7.2.1 几种常见的线性分组码
7.2.2 编码应用
7.3 RS码的编译码器设计
7.3.1 RS码编码系统的Verilog HDL实现
7.3.2 Rs码译码系统的Verilog HDL实现
7.4 本章小结.....
第8章 直接扩频通信系统设计
第9章 网络管理中UART系统设计
第10章 以太网物理层关键技术的Verilog HDL实现
第三部分 技巧和实验篇
第11章 FPGA设计指导原则和代码规范
第12章 实验设计指导参考文献及参考资料

<<基于Verilog HDL的通信系统>>

章节摘录

插图：第一部分 基础篇第1章 Verilog的基本知识
硬件描述语言（Hardware Description Language, HDL）是一种形式化方法来描述数字电路和系统的语言，它从出现发展至今已经有20多年历史。本章从介绍Verilog HDL的发展历程讲起，进一步介绍EDA相关技术的发展现状，最后介绍了进行大规模快速的集成电路设计还需要了解的IP复用和SOC概念。

1.1 Verilog HDL的历史
用形式化方法来描述数字电路和系统的语言构成了硬件描述语言（Hardware Description Language, HDL）。

通过这种语言可以从上层至下层（从抽象到具体），逐层描述自己的设计思想，用一系列分层次的模块来表示简单或复杂的电路系统。

Verilog HDL语言已经成为一种标准的硬件描述语言，它有以下一些特点：
· 作为一种多用途的硬件描述语言，它具有易学性和易用性。

在语法上与C语言非常相似。

如果有一定C语言编程经验的读者，那么Verilog HDL语言学起来非常容易。

- 大多数逻辑综合工具都支持Verilog HDL，使得Verilog HDL成为设计人员的一个很好的选择。
- Verilog HDL语言允许在同一个模块中进行不同抽象层次的描述，设计者可以同时使用门级、开关级、寄存器传输级或行为描述代码对同一个硬件模块进行描述。
- 所有的制造厂商都提供了Verilog HDL的工艺库，用以支持仿真，这就为用Verilog HDL设计的芯片可以在不同的厂家进行生产，提供更大的灵活性。
- Verilog HDL拥有强大的接口功能，允许用户用C语言对内部数据结构进行描述。

Verilog HDL语言是由美国GDA（Gateway Design Automatic）公司的Phi Moorby创立于1983年。

在1984~1985年间Phi Moorby设计出一个仿真器称为Verilog . xL；1986年，他又提出了用于快速门级仿真的XL算法，对Verilog HDL的发展作出了另一个巨大贡献。

1989年，GDA公司被Cadence公司收购，1990年Cadence公司决定开发Verilog HDL语言，并成立了OVI（Open Verilog International）组织来促进Verilog HDL语言的发展。

1995年，IEEE制定了Verilog HDL的IEEE标准，即Verilog HDL I364—1995。

之后又在2001年发布了Verilog HDL I364—2001标准。

<<基于Verilog HDL的通信系统>>

编辑推荐

《基于Verilog HDL的通信系统设计》内容涵盖了通信的众多领域，实例覆盖面广，在介绍实例的同时又涉及语法、开发工具中最重要的内容，是一本工具书+实例参考书的综合读物。

<<基于Verilog HDL的通信系统>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介, 请支持正版图书。

更多资源请访问:<http://www.tushu007.com>