

<<ARM Cortex-A8处理器原理与>>

图书基本信息

书名：<<ARM Cortex-A8处理器原理与应用>>

13位ISBN编号：9787512407374

10位ISBN编号：7512407378

出版时间：2012-4

出版时间：北京航空航天大学出版社

作者：李宁

页数：219

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<ARM Cortex-A8处理器原理与>>

内容概要

本书介绍了TI公司AM37x / DM37x处理器的内核以及片上外围子系统的工作原理，并以Embest公司的Devkit 8500开发套件为对象，介绍了AM37x / DM37x处理器上Android操作系统移植与应用开发的基本过程。

本书分12章，可以分为3个部分。

第一部分包括第1～4章，介绍了Cortex-A8处理器的内核结构和编程模型。

第二部分包括第5～8章，介绍AM37x / DM37x处理器上各子系统的工作原理。

第三部分包含第9～12章，介绍Android系统在AM37x / DM37x处理器上的移植和应用开发过程。

本书既可作为从事Cortex—A8处理器系统开发工程师的参考手册，也可作为高校嵌入式专业研究生的参考书。

<<ARM Cortex-A8处理器原理与>>

书籍目录

第1章 Cortex-A8处理器简介

- 1.1 Cortex-A8处理器特点
- 1.2 Cortex-A8处理器基本结构
- 1.3 AM37x / DM37x系列处理器
- 1.4 AM37x / DM37x处理器基本结构
- 1.5 AM37x / DM37x处理器开发工具

第2章 Cortex-A8处理器编程模型

- 2.1 Cortex-A8架构与指令集
 - 2.1.1 Thumb-2指令集
 - 2.1.2 ThumbEE指令集
 - 2.1.3 Jazelle扩展体系结构
 - 2.1.4 TrustZone安全扩展体系结构
 - 2.1.5 高级SIMD体系结构
 - 2.1.6 VFPv3体系结构
 - 2.1.7 处理器操作状态
 - 2.2 数据类型与存储格式
 - 2.2.1 数据类型
 - 2.2.2 存储格式
 - 2.3 操作模式
 - 2.4 寄存器组
 - 2.4.1 通用寄存器
 - 2.4.2 状态寄存器
 - 2.5 处理器系统地址
 - 2.6 异常
 - 2.6.1 异常入口
 - 2.6.2 退出异常
 - 2.6.3 复位
 - 2.6.4 快速中断请求FIQ
 - 2.6.5 中断请求IRQ
 - 2.6.6 中止Abort
 - 2.6.7 通过CPSR / SPSR屏蔽不精确数据中止
 - 2.6.8 软件中断指令
 - 2.6.9 软件监视指令
 - 2.6.10 未定义指令异常
 - 2.6.11 断点指令
 - 2.6.12 异常向量
 - 2.6.13 异常优先级
 - 2.7 安全扩展
 - 2.7.1 出于安全扩展的软件考虑
 - 2.7.2 出于安全扩展的硬件考虑
 - 2.8 系统控制协处理器
- ### 第3章 Cortex—A8存储管理模型
- 3.1 虚拟内存
 - 3.1.1 一级页表L1
 - 3.1.2 二级页表L2

<<ARM Cortex-A8处理器原理与>>

3.1.3 节或页尺寸的选择

3.2 页表缓存TLB

3.3 存储属性

3.3.1 访问许可

3.3.2 存储属性

3.3.3 域ID

3.4 页表的使用

3.4.1 地址空间ID

3.4.2 转换表基址寄存器O和1

3.5 存储顺序

3.5.1 强顺序型和设备型

3.5.2 普通型

3.5.3 存储隔离

第4章 时钟、复位与功耗管理

4.1 Cortex-A8处理器时钟系统

4.1.1 主要时钟域

4.1.2 AXI接口时钟ACLK

4.1.3 调试时钟

4.1.4 ATB时钟ATCLK

4.2 Cortex—A8处理器复位系统

4.2.1 上电复位

4.2.2 软复位

4.2.3 APB和ATB复位

4.2.4 硬件RAM阵列复位

4.2.5 存储器阵列复位

4.3 Cortex—A8处理器功耗控制

4.3.1 动态功耗管理

4.3.2 静态功耗管理或漏电功耗管理

第5章 AM37x / DM37x处理器基础

5.1 电源复位时钟管理模块PRCM

5.1.1 PRCM的特点与结构

5.1.2 PRCM的功能

5.2 MPU子系统

5.2.1 MPU子系统结构

5.2.2 MPU各部件功能

5.3 互联器子系统

5.3.1 术语

5.3.2 处理器内互联器架构

5.3.3 L3互联器

5.3.4 L4互联器

5.4 中断控制器

5.4.1 概述

5.4.2 MPU INTCPS

5.4.3 中断处理过程

第6章 AM37x / DM37x处理器存储系统

6.1 内存映射

6.1.1 全局内存映射

<<ARM Cortex-A8处理器原理与>>

- 6.1.2 L3和L4内存空间映射
- 6.1.3 IVA2.2子系统内存空间映射
- 6.2 内存子系统
 - 6.2.1 通用内存控制器GPMC
 - 6.2.2 SDRAM控制器SDRC
 - 6.2.3 片上存储器子系统OCM
- 6.3 内存管理单元MMU
- 6.4 外部存储卡接口

第7章 AM37x / DM37x处理器多媒体系统

- 7.1 IVA2.2子系统
 - 7.1.1 概述
 - 7.1.2 功能特征
 - 7.1.3 硬件请求
 - 7.1.4 内部结构
- 7.2 SGX子系统
 - 7.2.1 功能特征
 - 7.2.2 内部结构及组成
- 7.3 摄像头图像信号处理器
 - 7.3.1 功能特征
 - 7.3.2 内部结构及组成
- 7.4 显示子系统
 - 7.4.1 简介
 - 7.4.2 内部结构及功能

第8章 AM37x / DM37x处理器通信接口

- 8.1 多主机高速I2C接口
 - 8.1.1 概述
 - 8.1.2 功能特征
- 8.2 HDQ / 1-Wire总线模块
 - 8.2.1 概述
 - 8.2.2 功能特征
- 8.3 UART / IrDA / CIR通信模块
 - 8.3.1 概述
 - 8.3.2 功能特征
- 8.4 多通道SPI接口
 - 8.4.1 概述
 - 8.4.2 功能特征
- 8.5 多通道缓冲串行端口McBSP
 - 8.5.1 概述
 - 8.5.2 功能特征
 - 8.5.3 SIDETONE核
- 8.6 USB OTG控制器和USB主机子系统
 - 8.6.1 高速USB OTG控制器
 - 8.6.2 高速USB主机子系统

第9章 DevKit8500评估套件

- 9.1 外围芯片
 - 9.1.1 TPs65930
 - 9.1.2 MT29C4G96MAZAPCJA-5

<<ARM Cortex-A8处理器原理与>>

9.1.3 DM9000

9.1.4 FE1.1

9.1.5 TFP410

9.1.6 MAX3232

9.2 外围接口

第10章 Android操作系统基础

10.1 Android操作系统简介

10.1.1 Android版本历史

10.1.2 开放手机联盟

10.2 Android基本架构

10.3 Android源码结构

10.3.1 核心工程

10.3.2 扩展工程

10.3.3 Java程序包

10.4 init进程

10.4.1 init可执行程序

10.4.2 启动脚本initrc

10.5 shell工具

10.5.1 sh程序

10.5.2 命令工具箱Toolbox

10.6 几个重要系统进程

10.6.1 Servicemanager进程

10.6.2 Mediaserver进程

10.6.3 Zygote进程

10.6.4 SystemServer进程

第11章 Android操作系统移植

11.1 Ubuntu的安装与配置

11.1.1 软件获取

11.1.2 创建虚拟机

11.1.3 安装Ubuntu

11.2 Android代码的获取与提交

11.2.1 工具配置

11.2.2 获取Android源代码

11.2.3 源代码基本结构

11.2.4 提交修改后的源代码

11.3 编译Android系统

11.3.1 描述文件

11.3.2 编译过程

11.3.3 编译结果

11.3.4 系统烧写与运行

11.4 基于Devkit8500的Android系统开发

11.4.1 获取Android源码

11.4.2 编译过程

11.4.3 制作文件系统

11.4.4 烧写Android系统

第12章 Android应用程序开发

12.1 Android应用程序开发环境

<<ARM Cortex-A8处理器原理与>>

12.1.1 JDK获取与安装

12.1.2 Eclipse的获取与安装

12.1.3 Android SDK的获取与安装

12.2 Android应用程序开发示例

12.2.1 创建新应用程序

12.2.2 构建用户界面UI

12.2.3 运行Android应用程序

参考文献

章节摘录

版权页：插图：当系统发出CLKSTOPREQ信号之后，处理器进入低功耗状态之前，需要等待完成的事件与WFI一样。

进入低功耗状态后，处理器将使CLKSTOPACK输出有效，以保证处理器和AXI接口处于空闲状态。此时，APB PCLK域和AB ATCLK时钟域保持活跃。

CLKSTOPREQ信号和CLKSTOPACK信号有效之间的周期数的下限为20个周期，没有上限；上限是访问映射到AXI总线上最慢设备的延迟时间，是依赖于系统的。

在处理器将CLKSTOPACK置为有效后，将关闭整体结构的时钟门控。

但是，在整体结构时钟门控被完全关闭前，需等8个CLK周期。

如图4—7所示，在关闭整体结构时钟门控后，系统将停止CLK；这样可以节省更多的功耗，但它是可选的。

此外如图4—7所示，供电电压Vdd（）也可以降低，以节约能源。

但是，在整体结构时钟门控关闭前，CLK不能停止，在CLKSTOPACK被拉低后，它仍需要运行至少8个周期。

在整体结构时钟门控关闭后，系统将CLKSTOPREQ置为高电平，以能够将处理器保持在低功耗状态下。

若系统让CLKSTOPREQ失效，则会导致整体结构时钟门控被打开；然后处理器将拉高CLKSTOPACK响应之，并恢复指令执行。

CLKSTOPREQ信号失效和CLKSTOPACK信号失效之间的CLK周期数的上限是8。

在驱动CLKSTOPREQ信号时，系统必须遵守协议规则的设置，否则处理器的行为时不可预测的。

规则如下：如果CLKSTOPACK已处于高电子，CLKSTOPREQ不能从低过渡到高电平。

当CLKSTOPREQ处于高电平时，它必须保持为高电子，直到CLKSTOPACK变为高电平。

只有当CLKSTOPACK为高电平时，CLKSTOPREQ才能变为低电平。

3.NEON或ETM单元级时钟门控 Cortex—A8处理器还支持处理器内部主要部件的时钟门控，比如NEON单元、VFP协处理器和ETM模块。

CP15.c1协处理器访问控制寄存器中的CP10和CP11位域可控制对NEON单元和VFP协处理器的访问。

复位时CP10和CP11位域将被清零，如果在流水线中没有NEON单元或VFP指令，则相应的时钟被禁止以便降低功耗。

可以将浮点异常寄存器FPEXC的允许位置为0，以禁用NEON单元和VFP协处理器。

ETM控制寄存器可以允许或禁止ETM。

CTI控制寄存器CTICONTROL中的全局允许位可以用来允许ETM时钟，但不包括ATB时钟ATCLK。

4.DFF时钟门控 Cortex—A8处理器最小粒度的动态功耗控制是延迟触发器（DFF）级别的时钟门控。这是隐式的设计，无需外部的支持。

<<ARM Cortex-A8处理器原理与>>

编辑推荐

《ARM Cortex-A8处理器原理与应用:基于TI AM37x/DM37x处理器》既可作为从事Cortex—A8处理器系统开发工程师的参考手册，也可作为高校嵌入式专业研究生的参考书。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>