

<<数字电路的逻辑分析与设计>>

图书基本信息

书名：<<数字电路的逻辑分析与设计>>

13位ISBN编号：9787563918225

10位ISBN编号：7563918221

出版时间：2007-9

出版时间：北京工业大学出版社

作者：彭建朝

页数：277

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<数字电路的逻辑分析与设计>>

内容概要

本书结合现代数字系统设计技术的发展，系统地介绍了数字电路逻辑分析与设计的基本理论、基本方法以及基于硬件描述语言Verilog HDL的建模技术等。

全书共有8章。

第1章～第3章讲述数字逻辑的理论基础，包括数制、码制、逻辑代数基础以及硬件描述语言基础等；第4章介绍了组合电路中常用逻辑功能电路的设计思想、分析方法、Verilog HDL建模方法以及MSI器件的应用；第5章～第8章在分析锁存器、触发器工作原理和逻辑特性的基础上，讨论了同步时序电路的分析方法与设计技术，特别是同步时序电路的Verilog HDL建模技术。

本书可作为计算机科学与技术、自动控制、电子信息等专业的本科生教材，也可作为数字系统设计相关技术人员学习Verilog HDL建模方法的参考书。

<<数字电路的逻辑分析与设计>>

书籍目录

第1章 数制和码制 1.1 进位计数制 1.2 常用进位制之间的转换 1.2.1 其他进制向十进制的转换 1.2.2 十进制向其他进制的转换 1.2.3 进制与八进制之间的转换 1.2.4 二进制与十六进制之间的转换 1.3 带符号二进制数的代码表示 1.3.1 真值与机器数 1.3.2 原码 1.3.3 反码 1.3.4 补码 1.3.5 模和同余的概念 1.3.6 真值、原码、反码、补码之间的关系 1.4 编码 1.4.1 自然二进制代码 1.4.2 十进制数字符号的常用代码 1.4.3 可靠性代码 1.4.4 字符代码 本章小结 思考题 习题第2章 逻辑代数基础 2.1 逻辑代数中的基本概念 2.2 逻辑代数的基本运算 2.2.1 与运算 2.2.2 或运算 2.2.3 非运算 2.3 逻辑代数的基本公理、定理及规则 2.3.1 逻辑代数的基本公理 2.3.2 逻辑代数的基本定理 2.3.3 逻辑代数的三个基本规则 2.4 逻辑函数的性质 2.4.1 复合逻辑 2.4.2 逻辑函数的基本表达式 2.4.3 逻辑函数的标准表达式 2.5 逻辑函数的化简 2.5.1 逻辑函数的代数化简法 2.5.2 逻辑函数的卡诺图化简法 2.5.3 具有无关项的逻辑函数及其化简 2.5.4 具有多个输出的逻辑函数的化简 2.5.5 输入无反变量的逻辑函数的化简 2.5.6 几种典型逻辑函数的卡诺图表示 本章小结 思考题 习题第3章 硬件描述语言基础 3.1 概述 3.2 Verilog HDL模块的概念和结构 3.3 Verilog HDL基础知识 3.3.1 数字常量 3.3.2 标志符 3.3.3 关键字 3.4 Verilog HDL的数据类型 3.4.1 连线型数据 3.4.2 寄存器型数据 3.5 Verilog HDL的运算符 3.5.1 算术运算符 3.5.2 逻辑运算符 3.5.3 位运算符 3.5.4 关系运算符 3.5.5 等式运算符 3.5.6 归约运算符 3.5.7 移位运算符 3.5.8 条件运算符 3.5.9 拼接运算符 3.5.10 运算符的优先级 3.6 Verilog HDL模块的门级描述方式 3.6.1 结构描述的概念 3.6.2 Verilog HDL内置门级元件 3.6.3 Verilog HDL内置基本门元件的调用 3.6.4 Verilog HDL门级描述模型 3.7 Verilog HDL模块的数据流描述方式 3.7.1 数据流描述的概念 3.7.2 Verilog HDL的数据流描述模型 3.7.3 Verilog HDL的数据流描述设计举例 3.8 Verilog HDL模块的行为描述方式 3.8.1 行为描述的概念 3.8.2 Verilog HDL的行为描述模型 3.8.3 Verilog HDL行为语句——过程赋值语句 3.8.4 Verilog HDL行为语句——if...else条件语句 3.8.5 Verilog HDL行为语句——case分支控制语句 3.8.6 Verilog HDL行为语句——for循环语句 本章小结 思考题 习题第4章 组合电路的逻辑分析与设计 4.1 概述 4.1.1 逻辑门符号标准 4.1.2 逻辑门的等效符号 4.1.3 信号名及有效电平 4.1.4 引端的有效电平 4.1.5 引端有效电平的变换(混合逻辑变换) 4.2 组合电路的逻辑分析 4.3 组合电路的设计 4.4 编码器 4.4.1 普通编码器 4.4.2 优先权编码器 4.5 译码器 4.5.1 二进制译码器 4.5.2 BCD译码器 4.5.3 BCD-七段数字显示译码器 4.6 数据分配器 4.7 数据选择器 4.8 三态缓冲器 4.9 数值比较电路 4.10 加法器 4.10.1 串行进位加法器 4.10.2 超前进位加法器 4.11 奇偶校验电路 4.12 组合电路中的竞争与险象 4.12.1 竞争与险象 4.12.2 险象的分类 4.12.3 逻辑险象的判断 4.12.4 逻辑险象的消除 本章小结 思考题 习题第5章 锁存器与触发器 5.1 概述 5.2 基本RS锁存器 5.3 带使能端的RS锁存器 5.4 D锁存器 5.5 JK锁存器 5.6 主从JK触发器 5.7 负边沿JK触发器 5.8 正边沿D触发器 5.9 T触发器和T'触发器 5.10 不同类型触发器之间的转换 5.11 触发器的Verilog HDL模型 本章小结 思考题 习题第6章 同步时序电路的分析 6.1 概述 6.1.1 时序电路的基本结构 6.1.2 时序电路的分类 6.1.3 时序电路的描述方法 6.2 同步时序电路的分析方法与步骤 6.3 同步时序电路分析举例 6.4 同步时序电路中的“挂起”现象 本章小结 思考题 习题第7章 典型同步时序电路的设计与应用 7.1 概述 7.2 计数器 7.2.1 二进制同步计数器的设计与描述 7.2.2 多种编码十进制计数器的Verilog HDL模型 7.2.3 基于MSI计数器74LS163的电路分析与应用 7.2.4 其他类型的MSI计数器简介 7.2.5 任意模数加1计数器的Verilog HDL模型 7.3 寄存器 7.4 移位寄存器 7.4.1 串行输入—串行输出结构的移位寄存器 7.4.2 串行输入—并行输出结构的移位寄存器 7.4.3 并行输入—串行输出结构的移位寄存器 7.4.4 多功能移位寄存器74LS194 7.5 移位寄存器型计数器 7.5.1 环形计数器 7.5.2 扭环形计数器 7.5.3 最大长度移位型计数器 7.6 节拍分配器 7.6.1 移位型节拍(脉冲)分配器 7.6.2 计数型节拍(脉冲)分配器 7.7 序列信号发生器 本章小结 思考题 习题第8章 一般同步时序电路的设计 8.1 原始状态图(表)的建立 8.2 状态化简 8.3 状态分配 8.4 一般同步时序电路设计举例 本章小结 思考题 习题参考文献

<<数字电路的逻辑分析与设计>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>