

<<Verilog-HDL实践与应用系统设计>>

图书基本信息

书名：<<Verilog-HDL实践与应用系统设计>>

13位ISBN编号：9787810772631

10位ISBN编号：7810772635

出版时间：2003-1

出版时间：北京航空航天大学出版社

作者：常晓明,常晓明 编

页数：198

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Verilog-HDL实践与应用系统设计>>

内容概要

《Verilog-DHL 实践与应用系统设计》从实用的角度介绍了硬件描述语言VerilogHDL。

通过动手实践，体验VerilogHDL的语法结构、功能等内涵。

在前五章，以简单的实例列举了VerilogHDL的用法；在后四章，以应用系统为例详细讲解了系统设计的全过程。

书中的全部例子都给出了仿真结果，其源代码都在《Verilog-DHL 实践与应用系统设计》所附的CDROM中，并均经过验证无误。

《Verilog-DHL 实践与应用系统设计》的前半部分特别适合于初学者，也可作为工程技术人员的参考内容。

后半部分很适合工程开发和研究人员参考。

《Verilog-DHL 实践与应用系统设计》除了介绍VerilogHDL外，还涉及到VB编程、VC++和DLL的开发等知识，以及接口等领域的问题，书中都进行了详尽的讲解。

书籍目录

第1章 硬件描述语言1.1 什么是硬件描述语言HDL1.2 基本逻辑电路的HDL1.2.1 与门逻辑电路的描述1.2.2 与非门逻辑电路的描述1.2.3 非门逻辑电路的描述1.2.4 或门逻辑电路的描述1.2.5 或非门逻辑电路的描述1.2.6 缓冲器逻辑电路的描述1.3 逻辑仿真1.3.1 顶层模块的编写1.3.2 寄存器定义1.3.3 线网定义1.3.4 底层模块的调用1.3.5 输入信号波形的描述1.3.6 二与门逻辑电路的仿真结果第2章 仿真器的获取、安装及运行2.1 如何得到ISE WebPACK ModelSim XE仿真器?2.2 通过网站下载和安装ISE WebPACK ModelSim XE仿真器2.3 建立一个新的工程文件2.4 一个最简单的仿真实例第3章 组合逻辑电路3.1 数据选择器3.1.1 2-1数据选择器的描述3.1.2 真值表和逻辑表达式3.1.3 2-1数据选择器的VerilogHDL描述3.1.4 4-1数据选择器的逻辑电路3.1.5 4-1数据选择器的VerilogHDL描述3.1.6 条件操作符的使用方法3.1.7 数据选择器的行为描述方式3.1.8 case语句的使用方法3.1.9 if_else语句的使用方法3.1.10 function函数3.1.11 用于仿真的顶层模块3.1.12 数据选择器的仿真结果3.2 数据比较器3.2.1 最简单的数据判断方法3.2.2 位数据比较器3.2.3 2位数据比较器的VerilogHDL描述3.2.4 数据比较器的数据宽度扩展3.2.5 全比较器的VerilogHDL描述3.3 编码器3.3.1 二进制编码器3.3.2 二进制编码器的VerilogHDL描述3.4 译码器3.4.1 BCD码译码器3.4.2 非完全描述的逻辑函数和逻辑表达式的简化3.4.3 BCD码译码器的VerilogHDL描述3.4.4 BCD码译码器的仿真结果第4章 触发器4.1 异步RS触发器4.1.1 异步RS触发器的逻辑符号4.1.2 异步RS触发器的VerilogHDL描述4.1.3 异步RS触发器的仿真结果4.1.4 always块语句4.2 同步RS触发器4.2.1 同步RS触发器的逻辑符号4.2.2 同步RS触发器的VerilogHDL描述4.2.3 同步RS触发器的仿真结果4.3 异步T触发器4.3.1 异步T触发器的逻辑符号4.3.2 异步T触发器的VerilogHDL描述4.3.3 异步T触发器的仿真结果4.4 同步T触发器4.4.1 同步T触发器的逻辑符号4.4.2 同步T触发器的VerilogHDL描述4.4.3 同步T触发器的仿真结果4.5 同步D触发器4.5.1 同步D触发器的逻辑符号4.5.2 同步D触发器的VerilogHDL描述4.5.3 同步D触发器的仿真结果4.6 带有复位端的同步D触发器4.6.1 带有复位端的同步D触发器的逻辑符号4.6.2 带有复位端的同步D触发器的VerilogHDL描述4.6.3 带有复位端的同步D触发器的仿真结果4.7 同步JK触发器4.7.1 同步JK触发器的逻辑符号4.7.2 同步JK触发器的VerilogHDL描述4.7.3 同步JK触发器的仿真结果第5章 时序逻辑电路5.1 寄存器5.1.1 寄存器的组成原理5.1.2 寄存器的VerilogHDL描述5.1.3 寄存器的仿真结果5.2 移位寄存器5.2.1 串行输入并行输出移位寄存器的组成5.2.2 并行输入串行输出移位寄存器的组成5.2.3 移位寄存器的VerilogHDL描述5.2.4 移位寄存器的仿真结果5.3 计数器5.3.1 二进制非同步计数器5.3.2 四进制非同步计数器5.3.3 下降沿触发型的计数器及2N进制非同步计数器的组成5.3.4 非同步计数器的VerilogHDL描述5.3.5 多层次结构的VerilogHDL设计5.3.6 非同步计数器的仿真结果5.3.7 同步计数器5.3.8 同步计数器的VerilogHDL描述5.3.9 同步任意进制计数器的VerilogHDL描述5.3.10 同步计数器的仿真结果第6章 基于VerilogHDL的硬件电路的实现6.1 硬件系统设计到实现的基本流程6.2 下载电缆的制作6.2.1 Xilinx下载电缆的连接方法6.2.2 下载接口电路的组成6.2.3 制作中需要注意的事项6.3 JTAG标准6.3.1 何为JTAG6.3.2 JTAG的信号线及功能6.4 Xilinx公司的CPLD6.4.1 何为CPLD6.4.2 XC9500系列6.5 WebPACK Project Navigator的使用方法6.5.1 如何将仿真与硬件联系起来6.5.2 WebPACK Project Navigator编译实例6.5.3 编译结果的报告第7章 应用系统设计实例(多功能测试器)7.1 多功能测试器的制作7.1.1 在硬件开发中提出的问题7.1.2 多功能测试器的设计思想7.1.3 硬件电路的组成7.2 100 MHz计数器的制作及其在超声波测量中的应用7.3 可编程单脉冲发生器7.3.1 由系统功能描述时序关系7.3.2 流程图的设计7.3.3 系统功能的描述7.3.4 逻辑框图7.3.5 延时模块的描述及仿真7.3.6 功能模块VerilogHDL描述的模块化方法7.3.7 输入检测模块的描述及仿真7.3.8 计数模块的描述7.3.9 可编程单脉冲发生器的系统仿真7.4 可编程单脉冲发生器的硬件实测第8章 应用系统设计实例(直接数字频率合成器)8.1 直接数字频率合成器DDS8.2 数字式波形生成的基础知识8.2.1 存储器与波形数据8.2.2 波形发生器的系统组成8.2.3 采用DDS方式的波形发生器8.2.4 DDS设计中的参数选择8.3 基于XC9572的DDS设计8.3.1 基于XC9572的DDS8.3.2 加法器的VerilogHDL描述8.3.3 DDS的VerilogHDL描述8.3.4 DDS的仿真结果8.3.5 目标文件的下载与硬件调试8.3.6 基于VB的波形数据生成方法第9章 Verilog HDL的系统设计实例(并行接口电路)9.1 打印口数据传送接口电路的设计9.1.1 打印口接口电路的应用问题9.1.2 微机打印口的基本结构9.1.3 打印口的数据格式9.2 基于打印口的数据传送9.2.1 用打印口实现数据传送的基本方案9.2.2 并行接口电路的系统组成9.2.3 时序设计方法9.2.4 代码分配时应考虑的问题9.3 数据传送电路的VerilogHDL描述9.3.1

<<Verilog-HDL实践与应用系统设>>

译码器的VerilogHDL描述9.3.2 并行接口电路的VerilogHDL描述9.3.3 与8255有数据交换情况下的仿真方法9.3.4 并行接口电路读写操作的仿真结果9.4 系统调试方法9.4.1 印刷电路板及其连接电缆9.4.2 并行接口板的安装及系统调试技术9.4.3 并行接口板与微机间的通信9.4.4 DLL库的生成方法参考文献

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>